

日 本 国 特 許 庁

#2
15.11.02

JAPAN PATENT OFFICE

REC'D 31 DEC 2002

別紙添付の書類は下記の出願書類の謄本に相違ないことを証明する。
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2002年 4月 5日

出 願 番 号
Application Number:

PCT/JPO2/03417

出 願 人
Applicant (s):

株式会社日立製作所
株式会社日立超エル・エス・アイ・システムズ
高瀬 賢順
吉田 敬一
堀井 崇史
野副 敦史
田村 隆之

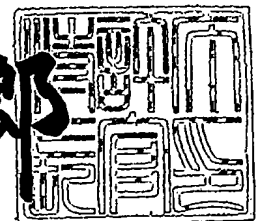
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2002年 12月 10日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証平 14-500325

特許協力条約に基づく国際出願願書

原本（出願用） - 印刷日時 2002年04月04日 (04. 04. 2002) 木曜日 14時41分11秒

0	受理官庁記入欄	PCT/JP02/03417
0-1	国際出願番号.	
0-2	国際出願日	05.04.02
0-3	(受付印)	PCT International Application 日本国特許庁
0-4	様式-PCT/R0/101 この特許協力条約に基づく国際出願願書は、 右記によって作成された。	PCT-EASY Version 2.92 (updated 01.01.2002)
0-5	申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	日本国特許庁 (R0/JP)
0-7	出願人又は代理人の書類記号	310200016971
I	発明の名称	不揮発性記憶装置
II	出願人	出願人である (applicant only)
II-1	この欄に記載した者は	米国を除くすべての指定国 (all designated States except US)
II-2	右の指定国についての出願人である。	株式会社日立製作所
II-4ja	名称	HITACHI, LTD
II-4en	Name	101-8010 日本国
II-5ja	あて名:	東京都 千代田区
II-5en	Address:	神田駿河台四丁目 6 番地 6, Kanda Surugadai 4-chome Chiyoda-ku, Tokyo 101-8010 Japan
II-6	国籍 (国名)	日本国 JP
II-7	住所 (国名)	日本国 JP
III-1	その他の出願人又は発明者	出願人である (applicant only)
III-1-1	この欄に記載した者は	米国を除くすべての指定国 (all designated States except US)
III-1-2	右の指定国についての出願人である。	株式会社日立超エル・エス・アイ・システムズ
III-1-4ja	名称	HITACHI ULSI SYSTEMS CO., LTD.
III-1-4en	Name	187-8522 日本国
III-1-5ja	あて名:	東京都 小平市
III-1-5en	Address:	上水本町 5 丁目 2 2 番 1 号 22-1, Josuihon-cho 5-chome, Kodaira-shi, Tokyo 187-8522 Japan
III-1-6	国籍 (国名)	日本国 JP
III-1-7	住所 (国名)	日本国 JP

III-2	その他の出願人又は発明者	出願人及び発明者である (applicant and inventor) 米国のみ (US only) 高瀬 賢順 TAKASE, Yoshinori 198-8512 日本国 東京都 青梅市 新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内 c/o Device Development Center, HITACHI, LTD. 16-3, Shimmachi 6-chome, Ome-shi, Tokyo 198-8512 Japan
III-2-1	この欄に記載した者は	
III-2-2	右の指定国についての出願人である。	
III-2-4j a	氏名(姓名)	
III-2-4e n	Name (LAST, First)	
III-2-5j a	あて名:	
III-2-5e n	Address:	
III-2-6	国籍 (国名)	日本国 JP
III-2-7	住所 (国名)	日本国 JP
III-3	その他の出願人又は発明者	出願人及び発明者である (applicant and inventor) 米国のみ (US only) 吉田 敬一 YOSHIDA, Keiichi 198-8512 日本国 東京都 青梅市 新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内 c/o Device Development Center, HITACHI, LTD. 16-3, Shimmachi 6-chome, Ome-shi, Tokyo 198-8512 Japan
III-3-1	この欄に記載した者は	
III-3-2	右の指定国についての出願人である。	
III-3-4j a	氏名(姓名)	
III-3-4e n	Name (LAST, First)	
III-3-5j a	あて名:	
III-3-5e n	Address:	
III-3-6	国籍 (国名)	日本国 JP
III-3-7	住所 (国名)	日本国 JP

特許協力条約に基づく国際出願願書

310200016971

原本（出願用） - 印刷日時 2002年04月04日（04.04.2002）木曜日 14時41分11秒

III-4	その他の出願人又は発明者	
III-4-1	この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-4-2	右の指定国についての出願人である。	米国のみ (US only)
III-4-4j a	氏名 (姓名)	堀井 崇史
III-4-4e n	Name (LAST, First)	HORII, Takashi
III-4-5j a	あて名:	198-8512 日本国 東京都 青梅市 新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内
III-4-5e n	Address:	c/o Device Development Center, HITACHI, LTD. 16-3, Shimmachi 6-chome, Ome-shi, Tokyo 198-8512 Japan
III-4-6	国籍 (国名)	日本国 JP
III-4-7	住所 (国名)	日本国 JP
III-5	その他の出願人又は発明者	
III-5-1	この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-5-2	右の指定国についての出願人である。	米国のみ (US only)
III-5-4j a	氏名 (姓名)	野副 敦史
III-5-4e n	Name (LAST, First)	NOZOE, Atsushi
III-5-5j a	あて名:	198-8512 日本国 東京都 青梅市 新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内
III-5-5e n	Address:	c/o Device Development Center, HITACHI, LTD. 16-3, Shimmachi 6-chome, Ome-shi, Tokyo 198-8512 Japan
III-5-6	国籍 (国名)	日本国 JP
III-5-7	住所 (国名)	日本国 JP

特許協力条約に基づく国際出願願書

310200016971

原本（出願用） - 印刷日時 2002年04月04日（04.04.2002）木曜日 14時41分11秒

III-6 III-6-1 III-6-2 III-6-4J a III-6-4e n III-6-5J a III-6-5e n III-6-6 III-6-7	その他の出願人又は発明者 この欄に記載した者は 右の指定国についての出願人である。 氏名(姓名) Name (LAST, First) あて名: Address: 国籍(国名) 住所(国名)	出願人及び発明者である (applicant and inventor) 米国のみ (US only) 田村 隆之 TAMURA, Takayuki 187-8522 日本国 東京都 小平市 上水本町5丁目2番1号 株式会社日立超エル・エス・アイ・システムズ内 c/o HITACHI ULSI SYSTEMS CO., LTD. 22-1, Josuihon-cho 5-chome, Kodaira-shi, Tokyo 187-8522 Japan 日本国 JP 日本国 JP
IV-1 IV-1-1ja IV-1-1en IV-1-2ja IV-1-2en IV-1-3 IV-1-4 IV-1-5 IV-1-5	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において下記のごとく出願人のために行動する。 氏名(姓名) Name (LAST, First) あて名: Address: 電話番号 ファクシミリ番号 電子メール 代理人登録番号	代理人 (agent) 玉村 静世 TAMAMURA, Shizuyo 101-0052 日本国 東京都 千代田区 神田小川町2丁目10番地 新山城ビル42号 Room 42, Shin Yamashiro Building, 10, Kanda Ogawamachi 2-chome Chiyoda-ku, Tokyo 101-0052 Japan 03-5217-3960 03-5217-3970 tmmrhost@tcn-catv.ne.jp 8907
V V-1	国の指定 広域特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	EP: AT BE CH&LI CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE TR 及びヨーロッパ特許条約と特許協力条約の締約国である他の国
V-2	国内特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	CN JP KR SG US

特許協力条約に基づく国際出願願書

原本（出願用） - 印刷日時 2002年04月04日 (04. 04. 2002) 木曜日 14時41分11秒

-5	指定の確認の宣言 出願人は、上記の指定に加えて、規則4.9(b)の規定に基づき、特許協力条約のもとで認められる他の全ての国の指定を行う。ただし、V-6欄に示した国の指定を除く。出願人は、これらの追加される指定が確認を条件としていること、並びに優先日から15月が経過する前にその確認がなされない指定は、この期間の経過時に、出願人によって取り下げられたものとみなされることを宣言する。		
I-6	指定の確認から除かれる国	なし (NONE)	
VI	優先権主張	なし (NONE)	
VII-1	特定された国際調査機関 (ISA A)	日本国特許庁 (ISA/JP)	
VIII	申立て	申立て数	
VIII-1	発明者の特定に関する申立て	-	
VIII-2	出願し及び特許を与えられる国際出願日における出願人の資格に関する申立て	-	
VIII-3	先の出願の優先権を主張する国際出願日における出願人の資格に関する申立て	-	
VIII-4	発明者である旨の申立て (米国を指定国とする場合)	-	
VIII-5	不利にならない開示又は新規性喪失の例外に関する申立て	-	
IX	照合欄	用紙の枚数	添付された電子データ
IX-1	願書 (申立てを含む)	6	-
IX-2	明細書	47	-
IX-3	請求の範囲	14	-
IX-4	要約	1	EZABST00.TXT
IX-5	図面	21	-
IX-7	合計	89	
	添付書類	添付	添付された電子データ
IX-8	手数料計算用紙	✓	-
IX-9	個別の委任状の原本	✓	-
IX-11	包括委任状の写し	✓	-
IX-17	PCT-EASYディスク	-	フルキップ・ディスク
IX-18	その他	納付する手数料に相当する特許印紙を貼付した書面	-
IX-18	その他	国際事務局の口座への振込を証明する書面	-
IX-19	要約書とともに提示する図の番号	1	
IX-20	国際出願の使用言語名:	日本語	
X-1	提出者の記名押印		
X-1-1	氏名 (姓名)	玉村 静世	



特許協力条約に基づく国際出願願書

原本（出願用） - 印刷日時 2002年04月04日（04.04.2002）木曜日 14時41分11秒

受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	05.04.02
10-2	図面：	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類を補完する書類又は図面であつてその後期間内に提出されたものの実際の受理の日（訂正日）	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

国際事務局記入欄

11-1	記録原本の受理の日	
------	-----------	--

明 細 書

不揮発性記憶装置

5 技術分野

本発明は不揮発性メモリ部とそのバッファ部を有する不揮発性記憶装置に関し、例えば個々のメモリセルに4値で情報記憶を行なうことが可能なフラッシュメモリに適用して有効な技術に関する。

10 背景技術

特開平11-85609号公報には、不揮発性メモリ部とそのバッファ部を有するフラッシュメモリについて記載がある。これによれば、メモリ部は8ビット又は16ビット単位でしかリード・ライトできないのに対し、ホスト装置とは512バイトのような単数もしくは複数セクタ単位でデータのやり取りを行なう必要があるため、バッファ部を設け、これをキャッシュメモリとして利用する、とある。キャッシュメモリとして利用される前記バッファ部は、フラッシュメモリに対する消去、書き込み、読み出し等のコマンドを実行するときに暗黙的に内部で利用されているに過ぎない。要するに、前記バッファ部は、フラッシュメモリの外部から直接操作の対象とはされていない。これについて本発明者が検討したところ以下の点を見出した。第1に、不揮発性メモリ部に対する消去動作ではバッファ部の利用は本来必要ないが、他用途への流用もできない為、消去動作中にオンチップバッファ部を有効に活用できない。また、一旦バッファ部に格納された記憶情報を、不揮発性メモリ部の動作とは独立させて外部に高速に読み出すように、動作させることはできない。換言すれば、外部とフラッシュメモリとの間のデータ転送のオー

バーヘッドを更に低減する余地が残されている。

本発明の目的は、不揮発性メモリ部に対する消去動作中にバッファ部を有効に活用できる不揮発性記憶装置を提供することにある。

5 本発明の別の目的は、不揮発性メモリ部から読み出されてバッファ部が保有する記憶情報を、不揮発性メモリ部の動作とは独立させて外部に高速に読み出すことができる不揮発性記憶装置を提供することにある。

本発明の更に別の目的は、外部と不揮発性メモリ部との間のデータ転送のオーバーヘッドを低減することができる不揮発性記憶装置を提供することにある。

10 本発明の上記並びにその他の目的と新規な特徴は本明細書の以下の記述と添付図面から明らかにされるであろう。

発明の開示

〔1〕《独立アクセス制御》本発明に係る不揮発性記憶装置は、不揮発性メモリ部（MARY0～FARY3）、バッファ部（BMRY0～BMRY3）、及び制御部（CNT）を有し、前記制御部は、外部と前記バッファ部との間の第1アクセス処理の指示（22，23）と、前記不揮発性メモリ部と前記バッファ部との間の第2アクセス処理の指示（21，24）とを、それぞれ別々に外部から受けて制御可能である。上記より、前記制御部は、前記不揮発性メモリ部及びバッファ部をそれぞれ外部からの指示に従って独立にアクセス制御可能であるから、不揮発性メモリ部とバッファ部を並列動作させたり、バッファ部に一旦読み出された記憶情報を外部からの指示に従ってキャッシュメモリ動作の如く高速に出力させたりすることが可能になる。これによって、不揮発性記憶装置に対するデータ読み出しや書き込みのためのデータ転送のオーバーヘッドが低減する。

15

20

25

《第1アクセス処理》本発明の具体的な態様では、前記第1アクセス

処理の指示は、外部から入力されるデータを前記バッファ部に書き込む指示又は前記バッファ部から外部にデータを読み出す指示である。前記書き込む指示又は読み出す指示は、例えば外部から入力される単数又は複数の制御信号（CLE，ALE，WEb，REb）の変化によって与えられる。具体的にはコマンドラッチディスエーブル及びアドレスラッチディスエーブルにおけるライトイネーブル状態で前記書き込む指示を与える。また、コマンドラッチディスエーブル及びアドレスラッチディスエーブルにおけるリードイネーブル状態で前記読み出す指示を与える。前記単数又は複数のストロブ信号のような制御信号の状態をコマンドコードとみなすことも可能である。第1アクセス処理の指示にストロブ信号とは異なるコマンドコードを採用することも可能である。

本発明の具体的な態様では、前記第2アクセス処理を行っていることを示すための状態指示情報（R/Bb）を外部に出力する。外部からのリードイネーブル又はライトイネーブルの指示タイミングの制御が容易になる。

《第2アクセス処理》本発明の具体的な態様では、前記第2アクセス処理の指示はアクセスコマンドにより与えられる。前記アクセスコマンドとして、バッファ部からデータを読み出して不揮発性メモリ部に書き込む指示を与える第1アクセスコマンド、不揮発性メモリ部からデータを読み出してバッファ部に書き込む指示を与える第2アクセスコマンド、又は不揮発性メモリ部のデータを消去する指示を与える第3アクセスコマンドを有する。

《複数メモリバンク》本発明の具体的な態様では、前記不揮発性メモリ部とバッファ部を相互に対応させて、それぞれの対応をメモリバンクとして複数組有する。

《アドレスコマンド》このときのアクセスアドレスの指定に、例えば

アドレスコマンド（20）を採用する。前記制御部は、外部から供給されるアドレスコマンドを認識可能であり、前記アドレスコマンドは、バッファ部の記憶領域及び不揮発性メモリ部の記憶領域の指定を可能にする。

- 5 具体例として、前記アドレスコマンドは、第1指定情報、第2指定情報及び第3指定情報を持つことが可能である。前記第1指定情報は、不揮発性メモリ部を指定すると共に指定された不揮発性メモリ部に対応するバッファ部を暗黙的に指定する。前記第2指定情報は、指定された不揮発性メモリ部におけるアクセス対象アドレスを指定する。前記第3
- 10 指定情報は、指定されたバッファ部におけるアクセス対象アドレスを指定する。

- バッファ部の利用効率という点に着目する。第1アクセス処理ではバッファ部を自由に指定できるが、第2アクセス処理では、不揮発性メモリ部に対応するバッファ部が暗黙的に指定される。この指定を広げるに
- 15 は、前記制御部は、特定の第2アクセス処理の指示に応答するとき、前記第1指定情報によるバッファ部の指定を、不揮発性メモリ部とは対応しない別のバッファ部の指定とみなすようにすればよい。

- 《第1アクセス処理と第2アクセス処理の並列化》本発明の具体的な態様では、前記制御部は、前記第1及び第2アクセス処理の指示状態に
- 20 応じて、不揮発性メモリ部の第2アクセス処理と当該不揮発性メモリ部に対応されない別のバッファ部の第1アクセス処理とを並行可能である。また、前記制御部は、相互に対応される不揮発性メモリ部の消去処理とバッファ部の第1アクセス処理とを並行可能である。

- 《バッファ部の記憶データ維持》アクセス処理の並列化に対する見方
- 25 を変えれば、前記制御部は、前記バッファ部からデータを読み出して不揮発性メモリ部に書き込む第2アクセス処理の指示に応答する処理を

行なった後に、別の第 1 アクセス処理又は第 2 アクセス処理の指示を待つ状態において、前記バッファ部の記憶情報を維持する。これにより、バッファ部が保持する記憶情報を不揮発性メモリ部の別の場所にコピーしたり、書き込みエラーに対するリトライ等を行なう場合に、便利である。また、前記制御部は、前記バッファ部からデータを読み出して外部に出力する第 1 アクセス処理の指示に応答する処理を行なった後に、別の第 1 アクセス処理又は第 2 アクセス処理の指示を待つ状態において、前記バッファ部の記憶情報を維持する。これにより、バッファ部に一旦読み出された記憶情報を外部からの指示に従ってキャッシュメモリ動作の如く高速に出力させたりすることが可能になる。

バッファ部に記憶情報を維持させる場合に、不要なデータ削除が可能なように、前記制御部は、バッファクリアコマンドに応答してバッファ部の記憶情報を初期化する。また、書き込みに際してバッファ部に残っている不要データが誤って書き込みされないようにする為に、前記制御部は、前記第 1 アクセス処理に応答して、外部からの入力データをバッファ部に書き込むとき、書き込み前に前記バッファ部の記憶情報を初期化する。

《バッファ部のリードキャッシュ動作》本発明の具体的な態様では、前記制御部は、第 2 アクセス処理により前記不揮発性メモリ部から読み出されてバッファ部に書き込まれたデータを、外部から指示される複数回の第 1 アクセス処理によりバッファ部から外部へ異なるタイミングで複数回データ転送可能とする。これにより、外部からの制御によりバッファ部をリードキャッシュ動作させることができる。

また、前記制御部は、不揮発性メモリ部からバッファ部にデータを書き込む第 2 アクセス処理が指示されたとき、バッファ部が保有するデータの不揮発性メモリ部上でのアドレスと同じアドレスをアクセス処理

対象とする当該第2アクセス処理を省略する。これにより、不揮発性記憶装置みずからがアドレス比較を行なってバッファ部をリードキャッシュ動作させることができる。このアドレス比較動作のために、例えば、

5 バッファ部が保有するデータの不揮発性メモリ部上におけるアドレスのアドレス情報を保持するアドレス保持手段と、アドレス保持手段が保持するアドレス情報と第2アクセス処理においてデータ読み出し対象とされる不揮発性メモリ部のアドレスのアドレス情報とを比較する比較手段とを有する。

前記制御部による前記バッファ部のリードキャッシュ動作制御は、第

10 2アクセス処理で前記不揮発性メモリ部からバッファ部に書き込まれたデータを第1アクセス処理によりバッファ部から外部へ出力する指示が与えられたとき、前記第2アクセス処理の省略の有無により、第2アクセス処理中であることをビジー状態によって示す信号によるビジー状態の期間を相違させる制御と等価である。

15 《バッファ部利用のコピー、リライト》本発明の具体的な態様では、前記制御部は、第1アクセス処理により外部からバッファ部に書き込まれたデータを、複数回の第2アクセス処理によりバッファ部から不揮発性メモリ部へ複数回書き込み可能とする。これにより、コピーや書き込みリトライ処理を効率化することができる。

20 《書き込みデータのバッファ部上での確定》本発明の具体的な態様では、前記制御部は、複数回の第1アクセス処理により外部からバッファ部上で書き換えられたデータを、第2アクセス処理によりバッファ部から不揮発性メモリ部へ書き込み可能とする。例えば同一セクタデータ等に対してリード・モディファイ・ライト動作を何回か繰返したりすると

25 きに処理効率を向上させる。

《2値モード》本発明の具体的な態様では、前記不揮発性メモリ部は

1 個の記憶素子に 2 ビット以上の多値情報記憶が可能にされ、前記バッファ部は 1 個の記憶素子に 1 ビットの 2 値情報記憶が可能にされる。このとき前記制御部は、前記不揮発性メモリ部の記憶情報を 2 値情報とみなし、多値から 2 値への変換動作を省略する第 3 アクセス処理を制御可能である。これにより、データを外部に読み出すまでの時間が短縮されるので、第 3 アクセス処理による対象を、例えばファイルデータのセクタに対する管理領域データ等とすれば、セクタの有効性や代替の有無等を速く判定することができ、ファイルアクセス等の高速化に寄与する。

《自律クロック生成》本発明の具体的な態様では、第 1 アクセス処理に用いる信号経路に、外部からのアドレス情報をラッチするアドレスバッファ、アドレスバッファの出力を入力してメモリバッファ部に供給するバッファ部アドレスバッファ、バッファ部から出力されるデータをラッチするバッファ部データバッファ、バッファ部データバッファの出力データをラッチして外部に出力するデータバッファが設けられ、アドレス入力からデータ出力までのパイプライン段数が比較的多く配置された構成に着目する。このとき、前記制御部は、アドレスコマンドを第 1 ストロープ信号に同期して認識した後、第 1 アクセス処理において外部へのデータ読み出しを指示する第 2 ストロープ信号が変化されるまでの間に、自立的にクロックを生成して、バッファ部アドレスバッファのラッチタイミングと、バッファ部データバッファのラッチタイミングを生成する。アドレス入力からデータ出力までのパイプライン段数が比較的多くても対処することができる。

《書換え動作》本発明の具体的な態様では、前記不揮発性メモリ部とバッファ部をそれぞれ対応させて複数組有し、前記不揮発性メモリ部の消去単位は書き込み単位の複数倍であり、それぞれのバッファ部は前記書き込み単位の記憶容量を有するとき、前記制御部は、前記消去単位に

よる記憶情報の書換え動作の指示に対して、書換え対象の不揮発性メモリ部と異なる不揮発性メモリ部のバッファ部を併せて、書換え対象記憶情報の退避領域に用いる。これによって不揮発性メモリ部に対する消去単位が書き込み単位よりも大きい場合であっても書換えを行なう事ができる。

《L S I》本発明の具体的な態様では、不揮発性記憶装置は、1個の半導体チップに形成された、メモリL S I、或は、C P U等のその他の回路モジュールと共に1個の半導体チップに形成されたマイクロコンピュータL S I或はシステムL S Iとして構成される。

〔2〕《独立アクセス制御》別の観点による本発明に係る不揮発性記憶装置は、複数のメモリバンク（B N K 0～B N K 3）と制御部（C N T）を有し、前記メモリバンクは不揮発性メモリ部（F A R Y 0～F A R Y 3）とバッファ部（B M R Y 0～B M R Y 3）を有する。前記バッファ部及び前記不揮発性メモリ部のアクセス対象領域はアドレスコマンド（20）に基づいて指定される。前記制御部は、外部と前記バッファ部との間の第1アクセス処理の指示（22，23）と、前記不揮発性メモリ部と前記バッファ部との間の第2アクセス処理の指示（21，24）とを、それぞれ別々に外部から受けて制御可能にされる。

上記より、前記制御部は、前記不揮発性メモリ部及びバッファ部をそれぞれ外部からの指示に従って独立にアクセス制御可能であるから、不揮発性メモリ部とバッファ部を並列動作させたり、バッファ部に一旦読み出された記憶情報を外部からの指示に従ってキャッシュメモリ動作の如く高速に出力させたりすることが可能になる。

前記制御部は、前記第1アクセス処理では、前記アドレスコマンドが指定するメモリバンクのバッファ部を利用させ、第1アクセス処理ではバッファ部を自由に指定できるようにする。前記第2アクセス処理では、

その指示内容に応じて、前記アドレスコマンドが指定するメモリバンクのバッファ部又はそれと異なるメモリバンクのバッファ部を利用させる。

《マルチバンク・リード》本発明の具体的な態様では、前記制御部は、メモリバンク数に応ずる回数を限度にアドレスコマンドが入力される毎にアドレスコマンドで指定される不揮発性メモリ部のアクセス対象領域に対する読み出しセットアップ動作を制御し、第2アクセス処理としてリード動作を指示するリードアクセスコマンドが入力されたとき、前記読み出しセットアップされた不揮発性メモリ部から記憶情報を読み出してバッファ部に書き込む制御を行なう。これにより、マルチバンクに対するリード動作を行なうことができる。

《マルチバンク・ライト》本発明の具体的な態様では、前記制御部は、メモリバンク数に応ずる回数を限度に連続してアドレスコマンド入力と第1アクセス処理の指示による書き込みデータ入力が行われる毎に、アドレスコマンドで指定されるメモリバンクのバッファ部に前記書き込みデータの書き込み動作を制御し、第2アクセス処理として書き込み動作を指示するライトアクセスコマンドが入力されたとき、前記バッファ部が有する書き込みデータを対応するメモリバンクの不揮発性メモリ部に書き込む制御を行なう。これにより、マルチバンクに対するライト動作を行なうことができる。

《マルチバンク・イレーズ》本発明の具体的な態様では、前記制御部は、メモリバンク数に応ずる回数を限度に連続してアドレスコマンドを入力した後にイレーズコマンドを入力することにより、アドレスコマンドで指定されるメモリバンクの不揮発性メモリ部に対して記憶領域の消去動作を制御する。これにより、マルチバンクに対するイレーズ動作を行なうことができる。

〔３〕《独立アクセス制御》更に別の観点による本発明に係る不揮発性記憶装置は、制御部と不揮発性記憶部とバッファ回路とを有し、前記制御部は外部から複数の動作指示コマンドを受け付ける。前記動作指示コマンドには、前記バッファ回路と外部との間で、アクセス動作を行なう第１の動作指示コマンド（２２，２３）と、前記バッファ回路と不揮発性記憶部との間で、アクセス動作を行なう第２の動作指示コマンド（２１，２４）とがある。

前記制御部は前記動作指示コマンドを受け付けることが可能なコマンド受付状態を有し、前記動作指示コマンドを受け付けてそれぞれの動作指示コマンドに応じた処理を行った後、前記コマンド受付状態となる。

《アドレスコマンド》本発明の具体的な一つの態様では、前記不揮発性記憶部は複数の記憶領域に分割され、前記動作指示コマンドには、前記不揮発性記憶部の一の記憶領域を選択するためのアドレスを指定する第３の動作指示コマンド（２０）があり、前記第２の動作指示コマンドは、前記第３の動作指示コマンドで選択された前記不揮発性記憶部の記憶領域と前記バッファ回路との間でアクセス動作を行なう指示を与える。

《マルチバンク》また、前記複数の記憶領域に対応して、前記バッファ回路は複数の領域に分割される。このとき、前記制御部は、前記第３の動作指示コマンドで前記不揮発性記憶部の記憶領域を選択すると共に、選択された前記不揮発性記憶部の記憶領域に対応する前記バッファ回路の領域をも選択する。前記第１の動作指示コマンドは、前記第３の動作指示コマンドで選択されたバッファ回路の領域と外部との間でアクセス動作を行なう指示を与える。前記第２の動作指示コマンドは、前記第３の動作指示コマンドで選択されたバッファ回路の領域と前記不揮発性記憶部の記憶領域との間でアクセス動作を行なう指示を与える。

《マルチバンクの並列処理》前記制御部は、前記第 2 の動作指示コマンドによる前記不揮発性記憶部の一の記憶領域へのアクセス処理のうち一部の処理完了に応じて前記コマンド受付状態となり、前記一の記憶領域への全てのアクセス処理が完了する前に、前記第 3 の動作指示コマンドの受付と、前記第 3 の動作指示コマンドで選択されたバッファ回路の領域及び不揮発性記憶部の記憶領域が前記アクセス処理を行っている領域とは異なる領域である場合の前記第 1 又は前記第 2 の動作指示コマンドの受付を可能とする。

《書き込み・読み出し動作指示コマンド》前記第 1 の動作指示コマンドは、例えば、前記バッファ回路へのデータの書き込みを指示する第 1 書き込み動作コマンドと、前記バッファ回路からデータの読み出しを指示する第 1 読み出し動作コマンドとを含む。前記第 2 の動作指示コマンドは、例えば、前記バッファ回路から前記不揮発性記憶部へのデータの書き込みを指示する第 2 書き込み動作コマンドと、前記不揮発性記憶部から前記バッファ回路へデータの読み出しを指示する第 2 読み出し動作コマンドとを含む。

《消去動作指示コマンド》前記第 1 の動作指示コマンドには、更に前記バッファ回路に書き込まれているデータの消去を指示する第 1 消去動作コマンドを含む。前記第 2 の動作指示コマンドには、更に前記不揮発性記憶部に書き込まれているデータの消去を指示する第 2 消去動作コマンドを含む。

《消去に並行するコマンド受け》前記不揮発性記憶部の第 1 記憶領域を指定する前記第 3 の動作指示コマンドの受付後、前記第 2 消去動作コマンドを受け付け、前記第 1 記憶領域に書き込まれているデータの消去を開始しデータの消去が完了する前において、前記不揮発性記憶部の第 2 記憶領域を指定する前記第 3 の動作指示コマンドと、前記第 1 の動

作指示コマンド又は前記第 2 の動作指示コマンドの受付を可能とする。

《書き込みデータのバッファ回路上での確定》前記不揮発性記憶部の第 1 記憶領域を指定する前記第 3 の動作指示コマンドの受付後、前記第 2 読み出しコマンドを受け付け、前記不揮発性記憶部から前記バッファ回路へデータの読み出しが完了した後において、少なくとも 1 回以上の前記第 1 の動作指示コマンドを受け付け、更に前記第 2 書き込みコマンドの受付動作が可能である。

《並列処理》前記第 2 読み出しコマンドを受け付けた後、前記第 2 書き込みコマンドの受付前において、前記不揮発性記憶部の第 2 記憶領域を指定する前記第 3 の動作指示コマンドの受付と少なくとも 1 回以上の前記第 1 の動作指示コマンドまたは前記第 2 の動作指示コマンドの受け付けを行った後、前記第 1 記憶領域を指定する前記第 3 の動作指示コマンドの受付動作が可能である。

《書き込みデータのバッファ回路上での確定》前記不揮発性記憶部の第 1 記憶領域を指定する前記第 3 の動作指示コマンドの受付後、少なくとも 1 回以上の前記第 1 書き込みコマンドを受け付けた後、前記第 2 書き込みコマンドの受付動作が可能である。少なくとも 1 回の前記第 1 書き込みコマンドを受け付けた後、1 回以上の前記第 1 の動作指示コマンドの受付動作が可能である。少なくとも 1 回の前記書き込みコマンドを受け付けた後、1 回以上の前記第 2 書き込みコマンドの受付動作が可能である。

《バッファ回路のキャッシュ動作》前記不揮発性記憶部の第 1 記憶領域に含まれる第 1 アドレスを指定する前記第 3 の動作指示コマンドの受付後、前記第 2 読み出しコマンドを受け付け、前記第 2 読み出しコマンドでは前記不揮発性記憶部から前記バッファ回路へ、前記第 3 の動作指示コマンドで指定されたアドレスから第 1 データ量のデータの読み

出しを行った後、前記不揮発性記憶部の第1記憶領域に含まれかつ前記第1アドレスから第1データ量の範囲に含まれるアドレスを指定する前記第3の動作指示コマンドと前記第1の動作指示コマンドとを1回以上受け付けることが可能である。

- 5 《バッファ回路のキャッシュ動作》前記不揮発性記憶部の第1記憶領域に含まれる第1アドレスを指定する前記第3の動作指示コマンドの受付後、前記第2読み出しコマンドを受け付け、前記第2読み出しコマンドでは前記不揮発性記憶部から前記バッファ回路へ、前記第3の動作指示コマンドで指定されたアドレスから第1データ量のデータの読み出しを行い、さらに、前記不揮発性記憶部の第1記憶領域に含まれかつ前記第1アドレスから第1データ量の範囲に含まれる第2アドレスを指定する前記第3の動作指示コマンドの受け付けと前記第2の読み出しコマンドを受け付けた場合、前記第2の読み出しコマンドの処理では前記不揮発性記憶部から前記バッファ回路への読み出し動作は行わない。
- 10

- 15 《バッファ回路の記憶情報保持》前記第2の書き込みコマンドの完了では前記バッファ回路に書き込まれているデータの消去は行わず、前記第1消去動作コマンドにより前記バッファ回路に書き込まれているデータの消去を行なう。

- 20 《非優先対応バッファ回路の利用》前記複数の記憶領域に対応して、前記バッファ回路は複数の領域に分割され、第1の記憶領域に優先的に対応するバッファ回路の第1の領域と、第2の記憶領域に優先的に対応するバッファ回路の第2の領域とを有する。前記バッファ回路の第1の領域は前記第2の記憶領域との間でもアクセス動作可能とされる。前記バッファ回路の第2の領域は前記第1の記憶領域との間でもアクセス動作可能とされる。
- 25

 《非優先対応バッファ回路の利用》前記第1の動作指示コマンドは、

前記バッファ回路の第 1 の領域と外部との間でアクセス動作させて、前記バッファ回路へのデータの書き込みを指示する第 1 書き込み動作コマンドと、前記バッファ回路からデータの読み出しを指示する第 1 読み出し動作コマンドと、前記バッファ回路に書き込まれているデータの消去を指示する第 1 消去動作コマンドとを含む。前記第 2 の動作指示コマンドは、前記第 3 の動作指示コマンドで選択されたバッファ回路の領域と前記不揮発性記憶部の記憶領域との間でアクセス動作させて、前記バッファ回路から前記不揮発性記憶部へのデータの書き込みを指示する第 2 書き込み動作コマンドと、前記不揮発性記憶部から前記バッファ回路へのデータの読み出しを指示する第 2 読み出し動作コマンドと、前記不揮発性記憶部に書き込まれているデータの消去を指示する第 2 消去動作コマンドとを含む。前記第 2 書き込み動作コマンドは、前記選択されたバッファ回路の領域に優先的に対応する記憶領域へのデータの書き込みを指示する主第 2 書き込み動作コマンドと、前記選択されたバッファ回路の領域に優先的に対応する記憶領域でない記憶領域へのデータの書き込みを指示する従第 2 書き込み動作コマンドとを有する。前記第 2 読み出し動作コマンドは、前記選択されたバッファ回路の領域に優先的に対応する記憶領域からのデータの読み出しを指示する主第 2 読み出し動作コマンドと、前記選択されたバッファ回路の領域に優先的に対応する記憶領域でない記憶領域からのデータの読み出しを指示する従第 2 読み出し動作コマンドとを有する。

《書換え動作》前記第 2 読み出しコマンド又は前記第 2 書き込みコマンドでは第 1 データ量単位に一度にデータの読み出し又は書き込みが行われる。記第 2 消去コマンドでは第 1 データ量よりも多い第 2 データ量単位に一度にデータの消去が行われる。前記第 3 の動作指示コマンドで第 1 アドレスを指定し、前記第 2 消去コマンドを指示する場合、前記

第1アドレスから前記第1データ量のアドレス範囲に含まれる第1データと、前記第1アドレスから前記第1データ量のアドレス範囲に含まれない第2アドレスからの第2データとのうち、前記第1データは前記選択されたバッファ回路の領域に優先的に対応する記憶領域への書き込みと、前記第2データは前記選択されたバッファ回路の領域に優先的に対応する記憶領域でない記憶領域への書き込みとの少なくとも一方が行われる。

〔4〕《独立アクセス制御》更に別の観点による本発明に係る不揮発性記憶装置は、制御部と不揮発性記憶部とを有する。前記不揮発性記憶部は複数の記憶領域を有する。前記記憶領域の数と同数のバッファ回路を有し、それぞれの記憶領域は対応するバッファ回路に接続され、それぞれのバッファ回路は外部に接続される。前記複数のバッファ回路は前記制御部による制御に基づいてそれぞれ独立して外部との間でアクセス可能にされる。前記複数の記憶領域は前記制御部による制御に基づいてそれぞれ独立してバッファ回路との間でアクセス動作可能にされる。

図面の簡単な説明

第1図は本発明に係る半導体記憶装置の一例であるフラッシュメモリの平面的なレイアウト構成図である。

第2図はフラッシュメモリ1におけるアドレス、データ及びコマンドコードの伝達経路の詳細を例示するブロック図である。

第3図は外部入出力端子i/o0～i/o7とバッファメモリ間におけるデータ転送形態を例示する説明図である。

第4図はバッファメモリとフラッシュ間におけるデータ転送形態を例示する説明図である。

第5図はフラッシュメモリにおけるアクセス処理の種別を例示する説明図

である。

第 6 図は第 1 アクセス処理及び第 2 アクセス処理の指示形態の概略を例示する説明図である。

5 第 7 図はフラッシュメモリにおけるコマンド体系の具体例を示す説明図である。

第 8 図はバッファクリアコマンドによるクリア処理の内容を模式的に示す動作説明図である。

第 9 図は 1 ～ 4 ページの任意ページに対する書き込み又は読み出し処理の内容を模式的に示す動作説明図である。

10 第 10 図はフラッシュメモリアレイに対するバッファメモリの優先的な対応関係と非優先的な対応関係を例示する説明図である。

第 11 図は 4 ページ書き込み又は読み出し処理の内容を模式的に示す説明図である。

15 第 12 図は 2 ～ 8 ページの任意ページに対する消去処理の内容を模式的に示す説明図である。

第 13 図は 8 ページ消去処理の内容を模式的に示す説明図である。

第 14 図はダイレクトフラッシュアクセス処理の内容を模式的に示す説明図である。

20 第 15 図はアドレスコマンドと第 1 及び第 2 のアクセス処理の指示に応答する制御状態を示す状態遷移図である。

第 16 図はフラッシュメモリに対する書換え動作を示す説明図である。

第 17 図はメモリバンクの対応バッファメモリ及び非対応メモリバッファをデータ退避に利用する書換え動作を示す説明図である。

第 18 図はフラッシュメモリに対する別の書換え動作を示す説明図である。

25 第 19 図はフラッシュメモリに対するキャッシュ読み出し動作を示す説明図である。

第 2 0 図はフラッシュメモリに対するキャッシュ読み出し動作のためのページアドレスヒット及びページアドレスミスヒットの判定をフラッシュメモリが行なう場合の例を示す説明図である。

第 2 1 図はコピー書き込み動作を例示する説明図である。

5 第 2 2 図は読み出し動作のタイミングチャートである。

第 2 3 図はキャッシュ読み出し動作のタイミングチャートである。

第 2 4 図は書き込み動作のタイミングチャートである。

第 2 5 図はコピー書き込み動作のタイミングチャートである。

10 第 2 6 図はキャッシュ読み出し動作のためのページアドレス比較をメモリコントローラが行なう第 1 9 図の処理に対応される動作のタイミングチャートである。

第 2 7 図はキャッシュ読み出し動作のためのページアドレス比較をフラッシュメモリが行なう第 2 0 図の処理に対応される動作場のタイミングチャートである。

15 第 2 8 図はフラッシュメモリにおけるデータ出力系のパイプラインを示す説明図である。

第 2 9 図は第 2 8 図のパイプラインにおける各出力信号波形を例示するタイミングチャートである。

20 発明を実施するための最良の形態

第 1 図には本発明に係る半導体記憶装置の一例であるフラッシュメモリの平面的なレイアウト構成が示される。同図に示されるフラッシュメモリ 1 は、特に制限されないが、公知の MOS 集積回路製造方法によって単結晶シリコンのような 1 個の半導体基板 (チップ) に形成される。

25 フラッシュメモリ 1 は、例えば 4 個のメモリバンク BNK 0 ~ BNK 3 と制御部 CNT を有する。前記メモリバンク BNK 0 ~ BNK 3 は、

不揮発性メモリ部としてのフラッシュメモリアレイ FARY0～FARY3
と、バッファ部としてのバッファメモリ BMRY0～BMRY3とを有する。
一つのフラッシュメモリアレイに対応してバッファメモリは左右に2分割さ
れて配置される。便宜上右側のバッファメモリにはサフィックス (R) を付
5 し、左側のバッファメモリにはサフィックス (L) を付す。

フラッシュメモリ1の外部入出力端子 i/o0～i/o7は、アドレス入
力端子、データ入力端子、データ出力端子、コマンド入力端子に兼用される。
フラッシュメモリ1は外部制御信号例えばストロブ信号として、コマンド
ラッチイネーブル信号 CLE、アドレスラッチイネーブル信号 ALE、チッ
10 プイネーブル信号 CEb、リードイネーブル信号 REb、ライトイネーブル
信号 WEbを入力し、レディー・ビジー信号 R/Bbを出力する。前記チッ
プイネーブル信号 CEbはフラッシュメモリ1にチップ選択状態を示し、リ
ードイネーブル信号 REbは外部入出力端子 i/o0～i/o7からのリー
ド動作を指示し、ライトイネーブル信号 WEbは外部入出力端子 i/o0～
15 i/o7からのライト動作を指示する。コマンドラッチイネーブル信号 CLE
は外部から外部入出力端子 i/o0～i/o7にコマンドが供給されるこ
とを意味し、アドレスラッチイネーブル信号 ALEは外部から外部入出力端
子 i/o0～i/o7にアドレス信号が供給されることを意味する。前記レ
ディー・ビジー信号 R/Bbはフラッシュメモリアレイ FARY0～FARY
20 Y3の何れかに対して消去、書き込み、または読み出し動作中であること(ビ
ジー状態)をローレベル (L) によって示す。フラッシュメモリアレイ (F
ARY0～FARY3) 毎に対するビジー状態またはレディー状態は後述の
ステータス情報を読み出すことによって外部から認識可能にされている。

前記制御部 CNTは、前記ストロブ信号の状態に応じて外部との信号イ
ンタフェース機能などを制御し、また、入力されたコマンドに従って内部動
25 作を制御する。

前記それぞれのフラッシュメモリアレイ FARY0～FARY3は、マトリクス配置された多数の不揮発性メモリセルを有する。この不揮発性メモリセルは、特に制限されないが、公知のフローティングゲート型トランジスタ1個で1個のメモリセルを構成する。例えば不揮発性メモリセルは、ウェル領域に形成されたソース及びドレインと、ソースとドレインとの間のチャンネル領域にトンネル酸化膜を介して形成されたフローティングゲート、そしてフローティングゲートに層間絶縁膜を介して重ねられたコントロールゲートによって構成される。コントロールゲートはワード線に、ドレインはビット線に、ソースはソース線に接続される。第1図では1個の不揮発性メモリセルMCと1本のビット線G-BLが代表的に図示され、ビット線G-BLの一端にはスタティックラッチ回路で構成されるセンスラッチSLが接続される。

第1図のフラッシュメモリ1では記憶情報の512バイトを1セクタと呼ぶ。書き込みおよび読み出しの情報記憶単位は2048バイト(=4セクタ)であり、この単位を1ページと呼ぶ。1024バイトを1キロバイトとも記す。1ページはページアドレスで指定される。フラッシュメモリはフィールド素子分離のため、消去の情報記憶単位は書き込み単位の2倍(=4096バイト)とされ、これを1ブロックと呼ぶ。消去モードにおける偶数ページアドレスの指定がブロックの指定とされる。

特に制限されないが、フラッシュメモリ1において不揮発性メモリセルは1個で2ビットの情報記憶を行なう。これに従って、各フラッシュメモリアレイFARY0～FARY3において、ワード線1本に2048バイト個の不揮発性メモリセルが接続され、ページアドレス情報は対応するワード線1本に接続する偶数番目または奇数番目の1024個のメモリセルを指定し、ページアドレス情報で指定された1024個のメモリセルに一対一対応するように1024バイト個のセンスラッチSLが並設される。ページアドレス

情報はメモリバンク全体の中でページアドレスを指定し、その最下位ビットはページアドレスの偶数または奇数を指定し、その上位側はワード線を指定し、最上位2ビットはメモリバンクを指定する。ワード線の選択は図示を省略するワード線選択デコーダが行い、偶数ページまたは奇数ページ単位によるビット線の選択は図示を省略する偶奇ビット線セレクタが行い、この偶奇ビット線セレクタで選択された1024バイト本のビット線が1024バイト個のセンスラッチSLに接続される。消去モードでは偶数ページアドレスがブロックアドレス（1ワード線2ページ分アドレス）とみなされる。

- 5 前不揮発性メモリセルの記憶データは浮遊ゲートに蓄えられた電荷量に応じてメモリセルの閾値電圧が変化することを利用する。このとき、メモリセルの閾値電圧は記憶データの値に応じて所望の範囲に制限され、その閾値電圧分布をメモリ閾値分布と呼ぶ。例えば、この例でが不揮発性メモリセルは1個で2ビットの情報記憶を行い、記憶情報の“01, 00, 10, 11”データに対応する4種類のメモリ閾値電圧分布が決められている。すなわち、
- 10 一つのメモリセルの情報記憶状態は、第4閾値電圧（ V_{th4} ）状態としての消去状態（“11”）、第1閾値電圧（ V_{th1} ）状態としての第1の書き込み状態（“10”）、第2閾値電圧（ V_{th2} ）状態としての第2の書き込み状態（“00”）、第3閾値電圧（ V_{th3} ）状態としての第3の書き込み状態（“01”）の中から選ばれる。特に制限されないが、閾値電圧
- 15 は、 $V_{th4} < V_{th1} < V_{th2} < V_{th3}$ の関係を有する。全部で4通りの情報記憶状態は、2ビットのデータによって決定される状態とされる。上記メモリ閾値分布を得るには、消去の後の書き込み動作時にワード線に印加する書き込みペリファイ電圧を相互に異なる3種類の電圧に設定し、これらの3種類の電圧を順次切り替えて、3回に分けて書き込み動作を行なう。
- 20 それら3回に分けた個々の書き込み動作において、書き込み選択のビット線には0V、非選択のビット線には1Vを印加する。特に制限されないが、ワ
- 25

ード線は例えば 17 V とされる。前記書き込み高電圧印加時間を長くするに
 したがってメモリセルの閾値電圧が上昇される。3種類の書き込み閾値電圧
 制御は、そのような高電圧状態の時間制御、更にはワード線に印加する高電
 圧のレベル制御によって行なうことができる。ビット線に 0 V を印加するか、
 5 1 V を印加するかは、センスラッチ回路 S L にラッチさせる書き込み制御情
 報の論理値で決定される。例えばセンスラッチ回路 S L のラッチデータが論
 理値 “1” で書き込み非選択、論理値 “0” で書き込み選択となるように制
 御される。書き込み動作時にセンスラッチ S L に “1” または “0” の何れ
 をセットするかは、書き込みを行なうべき書き込み閾値電圧状態に応じて制
 10 御部 C N T がバッファメモリ上の書き込みデータに従って決定する。プロッ
 ク一括消去時には、選択ワード線が -16 V とされ、非選択ワード線が 0 V
 とされ、選択ビット線は 2 V とされる。記憶情報の読み出しは、ワード線に
 印加するワード線選択レベルとしての電圧を、3種類設定し、3種類のワー
 ド線選択レベルを順次変更しながら最大3回の読出し動作を行い、個々の読
 15 み出し動作でメモリセルから読み出される2値（1ビット）の値に基づいて
 2ビットの記憶情報を判定する。

前記フラッシュメモリアレイ F A R Y 0 ~ F A R Y 3 に対する消去、書き
 込み及び読み出しの制御は前記制御部 C N T が行なう。

バッファメモリ B M R Y 0 ~ B M R Y 3 は、例えば S R A M (Static
 20 Random Access Memory) によって構成され、外部から外部入出力端子 i / o
 0 ~ i / o 7 に2値で入力される書き込みデータ及び外部入出力端子 i / o
 0 ~ i / o 7 から出力する2値の読み出しデータを一時的に保存する。メモ
 リバンク毎にバッファメモリ B M R Y 0 ~ B M R Y 3 は2分割されており、
 メモリバンク毎のバッファメモリ B M R Y 0 ~ B M R Y 3 は、対応するそれ
 25 ぞれのフラッシュメモリアレイにおける書き込み単位および読み出し単位に
 等しい最低限の記憶容量を備える。例えば、フラッシュメモリ 1 の場合、書

き込み情報単位および読み出し情報単位が1ページ(=2Kバイト)であるから、オンチップバッファとしてのそれぞれのバッファメモリBMR Y 0 ~ BMR Y 3は2Kバイトの記憶容量を有する。前述の如く、バッファメモリBMR Y 0 ~ BMR Y 3は各メモリバンクに1組配置され、同一メモリバンクに配置されたバッファメモリは同一フラッシュメモリアレイに優先的に対応されて利用される。動作モードによっては優先的に対応されないバッファメモリを利用する場合もある。その制御はコマンドとアドレス信号に従って前記制御部CNTが制御する。

フラッシュメモリアレイとバッファメモリとの間のデータ入出力は8ビット単位で行われる。フラッシュメモリアレイFARY 0 ~ FARY 3において8ビット単位のセンスラッチSLの選択は図示を省略するセンスラッチ選択回路で行なう。バッファメモリBMR Y 0 ~ BMR Y 3は8ビット単位でアクセス可能にされる。フラッシュメモリアレイFARY 0 ~ FARY 3とバッファメモリBMR Y 0 ~ BMR Y 3との間のデータ転送、並びにバッファメモリBMR Y 0 ~ BMR Y 3に対するアクセス制御は、外部から与えられるコマンド及びアクセスアドレス情報などに基づいて制御部CNTが行なう。

第2図にはフラッシュメモリ1におけるアドレス、データ及びコマンドコードの伝達経路の詳細が例示される。外部入出力端子i/o 0 ~ i/o 7に供給されたコマンドコードは制御部CNTに入力される。

外部入出力端子i/o 0 ~ i/o 7に与えられた外部アドレス情報はアドレスバッファ(ABUF)10に供給される。アドレスバッファ10に入力されたアドレス情報は、メモリバンクBNK 0 ~ BNK 3全体の中でフラッシュメモリアレイのページアドレスを指定するページアドレス情報、バッファメモリのアクセス先頭アドレス情報(バッファ先頭カラムアドレス情報)などを含み、それらのアドレス情報は図示を省略するアドレスラッチ回路に

ラッチされる。アドレスバッファはフラッシュアドレスカウンタ (FAC) 11、バッファアドレスカウンタ (BAC) 12を有する。フラッシュアドレスカウンタ 11は1ページ分のセンスラッチを順次バイト単位で選択するためのアドレス信号を生成するアドレスカウンタである。バッファアドレスカウンタ 12はバッファ先頭カラムアドレス情報などがプリセットされ、プリセット値を初期値として順次8ビット単位でバッファメモリのアクセスアドレス信号を生成するアドレスカウンタである。フラッシュメモリアレイ FARY0~FARY3には前記ページアドレス情報及びフラッシュアドレスカウンタ 11の出力が供給される。バッファアドレスカウンタ 12の出力はバッファメモリ BMRY0~BMRY3のアドレスバッファ (バッファ部アドレスバッファ=BABUF) 13a~13dに供給される。そこからバッファメモリ BMRY0~BMRY3に供給される。

外部入出力端子 i/o0~i/o7に与えられた書き込みデータはバッファメモリ BMRY0~BMRY3の内の1つのバッファメモリ BMRYi (i=0~3) に与えられる。バッファメモリ BMRYiから読み出されるデータは対応するバッファメモリ BMRYiのデータバッファ (バッファ部データバッファ=BDBUF) 14a~14d、データマルチプレクサ (MPX) 15、データバッファ (DBUF) 16を経由して外部入出力端子 i/o0~i/o7から外部に出力される。

バッファメモリ BMRY~BMRY3とフラッシュメモリアレイ FARY0~FARY3との間では8ビット単位でデータの入出力が行われる。

第3図には外部入出力端子 i/o0~i/o7とバッファメモリ BMRY (i=0~3)間におけるデータ転送形態が例示される。フラッシュメモリ1に対する読み出し動作において、ページアドレス情報に基づいて選択されたフラッシュメモリアレイ FARYiの記憶情報を一時的に保持するバッファメモリ BMRYiは外部入出力端子 i/o0~i/o7とインタフェースさ

れ、特に、ページアドレス情報等に基づいて選択された一つのバッファメモリ $BMRY\ i$ のうちの左側のバッファメモリ $BMRY\ i\ (L)$ は外部入出力端子 $i/o\ 0 \sim i/o\ 3$ とインタフェースされ、ページアドレス情報等に基づいて選択された一つのバッファメモリ $BMRY\ i$ のうち右側のバッファメモリ $BMRY\ i\ (R)$ は外部入出力端子 $i/o\ 4 \sim i/o\ 7$ とインタフェースされて、記憶情報が外部に読み出される。また、フラッシュメモリ 1 に対する書き込み動作において、外部入出力端子 $i/o\ 0 \sim i/o\ 3$ に与えられる書き込みデータはページアドレス情報等に基づいて選択された一つのバッファメモリ $BMRY\ i$ のうちの左側のバッファメモリ $BMRY\ i\ (L)$ に一時的に保持され、外部入出力端子 $i/o\ 4 \sim i/o\ 7$ に与えられる書き込みデータはページアドレス情報等に基づいて選択された一つのバッファメモリ $BMRY\ i$ のうちの右側のバッファメモリ $BMRY\ i\ (R)$ に一時的に保持される。

第 4 図にはバッファメモリ $BMRY\ i$ とフラッシュ $FARY\ i$ との間におけるデータ転送形態が例示される。フラッシュメモリ 1 に対するアクセス動作において、メモリバンク $BNK\ i$ を指定した書き込み動作において、ページアドレス情報等に基づいて指定されたバッファメモリ $BMRY\ i$ が一時的に保持する書き込み情報がページアドレス情報等に基づいて指定されたフラッシュメモリアレイ $FARY\ i$ に書き込まれる。また、フラッシュメモリ 1 に対するアクセス動作において、メモリバンク $BNK\ i$ を指定した読み出し動作において、ページアドレス情報等に基づいて指定されたフラッシュメモリアレイ $FARY\ i$ からの記憶情報がページアドレス情報に基づいて指定されたバッファメモリ $BMRY\ i$ に一時的に保持される。

第 5 図にはフラッシュメモリ 1 におけるアクセス処理の種別が例示される。
 $FARY$ はフラッシュメモリアレイ $FARY\ 0 \sim FARY\ 3$ を総称する。 $BMRY$ はバッファメモリ $BMRY\ 0 \sim BMRY\ 3$ を総称する。 $MCNT$ はフ

ラッシュメモリ 1 の外部に配置されるフラッシュメモリコントローラを意味する。前記制御部 CNT は、外部と前記バッファメモリ BMRY との間の第 1 アクセス処理と、前記フラッシュメモリアレイ FARY と前記バッファメモリ BMRY との間の第 2 アクセス処理とを、それぞれ別々に外部から指示を受けて制御可能である。第 1 アクセス処理は、外部からバッファメモリ BMRY にデータを書き込むバッファプログラム処理 BPGM と、バッファメモリ BMRY から外部にデータを読み出すバッファリード処理 BRD とに大別される。第 2 アクセス処理はバッファメモリ BMRY の記憶情報をフラッシュメモリアレイ FARY の所定エリアに書き込むフラッシュプログラム処理 FPGM と、フラッシュメモリアレイ FARY の所定エリアを消去するフラッシュイレース処理 FERS と、フラッシュメモリアレイ FARY の所定エリアの記憶情報を読み出してバッファメモリ BMRY に保持させるフラッシュリード処理 FRD とに大別される。その他に、制御部 CNT は第 3 アクセス処理として、フラッシュメモリアレイの所定エリアの記憶情報を 2 値情報として外部に直接読み出すダイレクトフラッシュアクセス処理 DFA を制御する。ここで、直接とは、記憶情報に対する 2 値と 4 値との間の変換処理を経ないことを意味する。

第 6 図には第 1 アクセス処理及び第 2 アクセス処理の指示形態の概略が例示される。

同図において 20 はアドレスコマンドを総称し、Com1 はアドレスコマンドコード等の第 1 コマンドコードを総称し、CA は前記バッファ先頭コラムアドレス情報を意味し、PA はページアドレス情報を意味する。21 は前記第 2 アクセス処理としての前記フラッシュリード処理を指示するアクセスコマンドを総称する。Com2 はアクセスコマンド等を構成する第 2 コマンドコードを意味する。第 6 図の A 欄において 22 は第 1 アクセス処理としての前記バッファリード処理 BRD の指示を示す。バッファリード処理 BRD

の指示は、例えばコマンドラッチディスエーブル (CLE=L) 及びアドレスラッチディスエーブル (ALE=L) 状態におけるリードイネーブル状態 (REb=L) で与えられる。前記アクセスコマンド 2 1 で指示されるフラッシュリード処理 FRD の対象とされる記憶情報がページアドレス情報で指定されてフラッシュメモリアレイ FARYi からバッファメモリ BMR Y i に転送完了される状態は、フラッシュメモリ 1 の外部にレディー・ビジー信号 R/Bb の第 1 状態であるレディー状態 (R/Bb=L) で指示される。バッファリード処理 BRD の指示 2 2 はレディー・ビジー信号 R/Bb のレディー状態を待つて外部から与えられる。バッファリード処理 BRD の指示 2 2 が与えられると、前記バッファ先頭カラムアドレス情報に基づいて指定されたデータがリードイネーブル信号 REb のクロック変化に同期してバッファメモリ BMR Y i から外部に出力される。出力データは Dout として図示される。

第 6 図の B 欄において 2 3 は、第 1 アクセス処理としての前記バッファプログラム処理 BPGM の指示を示す。バッファプログラム処理 BPGM の指示 2 3 は、例えばコマンドラッチディスエーブル (CLE=L) 及びアドレスラッチディスエーブル (ALE=L) 状態におけるライトイネーブル状態 (WEb=L) で与えられる。バッファプログラム処理 BPGM の指示 2 3 が与えられると、ページアドレス情報で特定されるメモリバンク BNK i のバッファメモリ BMR Y i に前記バッファ先頭カラムアドレス情報を先頭アドレスとして順次ライトイネーブル信号 WEb のクロック変化に同期して入力データ Din が格納される。2 4 は前記第 2 アクセス処理としての前記フラッシュプログラム処理 FPGM を指示するアクセスコマンドを総称する。フラッシュプログラム処理 FPGM が指示されると、バッファメモリ BMR Y i の記憶情報がページアドレス情報で指定されたフラッシュメモリアレイ FARYi のページアドレスに書き込まれる。この書

き込み動作が完了されるまで、前記レディー・ビジー信号R/B bがビジー状態にされる。

第 6 図の C 欄は第 6 図の A 欄における第 2 アクセス処理としての前記フラッシュリード処理 F R D を指示するアクセスコマンド 2 1 が省略され、アドレスコマンド 2 0 の直後に第 1 アクセス処理としての前記バッファリード処理 B R D が指示される（2 2）。このアクセス処理の指示形態においては、アドレスコマンド 2 0 のページアドレス情報にしたがって決定されたメモリバンク B N K i におけるバッファメモリ B M R Y i から、前記バッファ先頭カラムアドレス情報を先頭アドレスとして順次リードイネーブル信号 R E b のクロック変化に同期してデータ D o u t が出力される。このときには、第 2 アクセス処理 2 1 が指示されていないから、フラッシュメモリアレイ F A R Y i に対するアクセスは行われぬ。既にバッファメモリ B M R Y i が保持しているデータを読み出す場合には A 欄のようにフラッシュメモリアレイ F A R Y i からバッファメモリ B M R Y i へのデータ転送が完了するまでのビジー状態を生じないので、リードすべきデータの外部出力動作タイミングが早くなる。

第 6 図の D 欄は第 6 図の B 欄における第 1 アクセス処理としての前記バッファプログラム処理 B P G M の指示 2 3 が省略され、アドレスコマンドの直後に第 2 アクセス処理としての前記フラッシュプログラム処理 F P G M の指示 2 4 が与えられる。このアクセス処理の指示形態においては、アドレスコマンド 2 0 のページアドレス情報にしたがって決定されたメモリバンク B N K i におけるバッファメモリ B M R Y i の記憶情報が、ページアドレス情報で指定されるフラッシュメモリアレイ F A R Y i のページに書き込まれる。このときには、第 1 アクセス処理 2 3 が指示されていないから、外部からバッファメモリ B M R Y i へ書き込みデータの供給を受ける必要はない。既にバッファメモリ B M R Y i が保持しているデータをフラッシュメモリアレイ

F A R Y i に書き込む場合、B 欄のような外部からの書き込みデータの転送を受ける必要がないので、フラッシュメモリアレイ F A R Y i に対する書き込み完了までの期間を短縮することができる。

第 7 図にはフラッシュメモリ 1 におけるコマンド体系の具体例が示される。

- 5 C o m 1 の欄にはアドレスコマンドコード等が例示され、C o m 2 の欄にはアクセスコマンドコード等が例示される。フラッシュメモリ 1 ではバッファメモリ B M R Y i に対するクリアは明示的に行なう。第 6 図の C 欄及び D 欄で説明した処理を可能にするには有意のデータがバッファメモリ B M R Y i に残っていなければならない。これを保証するためである。例えば、N o .
- 10 2 2 のバッファクリアコマンドを実行することにより、全てのバッファメモリ B M R Y 0 ~ B M R Y 3 の記憶情報をクリアする。このバッファクリアコマンドにおける C o m 1 のコマンドコード “F E H” がバッファクリアの動作指示を与える。第 8 図には前記バッファクリアコマンドによるクリア処理の内容が模式的に示される。

- 15 第 7 図において C o m 1 にアドレスコマンドコード “8 0 H” を伴うときはページアドレス情報 P A に基づいて決定されるバッファメモリに対して予めクリアを処理を行なってからデータ転送処理に移る。但し、8 0 H を先頭とするアドレスコマンドが連続するときは第 1 回目だけクリア処理を伴う。アドレスコマンドコードの “0 0 H” を伴うときはクリア処理は行われない。

- 20 第 7 図において、フラッシュメモリアレイに対する基本的な書き込みのコマンドコードは “1 0 H”、“1 6 H” とされ、フラッシュメモリアレイに対する基本的な読み出しのコマンドコードは “3 0 H” とされる。それらコマンドコードによる書き込み又は読み出しは 1 ~ 4 ページの範囲で任意とされる。複数ページの書き込み又は読み出しに必要なページアドレス情報などは “0 0 H” や “8 0 H” を先頭とするアドレスコマンドを複数回繰り返せばよい。複数ページの書き込みに必要な書き込みデータは例えばページアド
- 25

レス情報を入力する毎に第1アクセス処理の指示に従って入力すればよい。

フラッシュメモリアレイ $FARY\ i$ からバッファメモリ $BMY\ i$ に転送された記憶情報の外部読み出しは前述の第1アクセス処理の指示に従って行な

えばよいが、複数ページの記憶情報を複数のバッファメモリ $BMY\ i$ から

- 5 順次読み出しするときには、第7図のコマンドNo. 2及び3に例示されるランダムアクセスコマンドを利用して、バッファメモリの任意カラムアドレスを起点にデータの外部読み出しを行なうことも可能である。起点となる任意カラムアドレスは前記CAで指定され、指定されたバッファ先頭カラムアドレス情報は第2図のバッファアドレスカウンタ12にプリセットされて順
- 10 次更新される。第9図には前記1～4ページの任意ページに対する書き込み又は読み出し処理の内容が模式的に示される。

書き込みや読み出し処理において、バッファメモリは同一バンクのフラッシュメモリアレイと優先的に対応される。即ち、優先的な対応関係では、ページアドレス情報でメモリバンク $BNK\ i$ が指定されると、その指定は同一

- 15 バンクのフラッシュメモリアレイ $FARY\ i$ とバッファメモリ $BMY\ i$ の指定とみなされる。この優先的な対応関係か否かは、特に制限されないが、アクセスコマンドのコマンドコードで決定される。第7図において、Com 2のアクセスコマンドコード“31H”、“12H”、“17H”の場合に非優先的な対応関係が選ばれ、その他では優先的な対応関係が選ばれる。非
- 20 優先的な対応関係においてもフラッシュメモリアレイ $FARY\ 0 \sim FARY\ 3$ とバッファメモリ $BMY\ 0 \sim BMY\ 3$ との対応関係は予め決められている。すなわち、フラッシュメモリアレイ $FARY\ 0$ 、 $FARY\ 1$ 、 $FARY\ 2$ 、 $FARY\ 3$ は、バッファメモリ $BMY\ 2$ 、 $BMY\ 3$ 、 $BMY\ 0$ 、 $BMY\ 1$ に非優先対応される。第10図にはフラッシュメモリアレイに対するバッファメモリの優先的な対応関係と非優先的な対応関係が例示される。
- 25

尚、特に図示はしないが、フラッシュメモリアレイに対する優先対応関

係にあるバッファメモリの接続と、非優先対応関係にあるバッファメモリの接続とは、相互の接続を排他的に切換える切換えスイッチにより選択可能になっている。

5 フラッシュメモリアレイに対する書き込み又は読み出し動作では特に4ページ指定の動作に対して専用のアクセスコマンドが用意される。4ページ書き込みのアクセスコマンドコードは“13H”、“18H”であり、4ページ読み出しのアクセスコマンドコードは“30H”である。第11図には前記4ページ書き込み又は読み出し処理の内容が模式的に示される。

10 第7図において、フラッシュメモリアレイに対する消去の基本的なコマンドコードは“D0H”とされる。2ページ単位で最大8ページまで並列消去を指示することができる。そのコマンドコードによる消去は2～8ページの範囲で任意とされる。複数ページの消去に必要なページアドレス情報などは“60H”を先頭とするアドレスコマンドを複数回繰り返せばよい。第12図には前記2～8ページの任意ページに対する消去処理の内容が模式的に示される。

15 フラッシュメモリアレイに対する消去動作では特に8ページ指定の動作に対して専用のアクセスコマンドが用意される。8ページ消去のアクセスコマンドコードは“D1H”である。第13図には前記8ページ消去処理の内容が模式的に示される。

20 第7図においてコマンドNo. 20はダイレクトフラッシュアクセスコマンド（2値読み出しコマンド）であり、1個のメモリセルに記憶されている2ビットの記憶情報を1ビットの記憶情報として読み出す。第14図にはダイレクトフラッシュアクセス処理の内容が模式的に示される。

25 フラッシュメモリ1はフラッシュメモリアレイFARYi毎のステータス情報をステータスレジスタに有し、第7図のCom1のコマンドコード7*H（70H～76H）によってステータス情報を外部に読み出すことができ

得る。要するに、フラッシュメモリアレイ $F A R Y i$ 毎のレディー状態とビジー状態、更に、書き込みパス/フェイルなどの状態を外部で把握することができる。これにより、フラッシュメモリ 1 において、動作されていないメモリバンクに対するアクセス処理の指示、或は消去動作中のメモリバンク $B N K i$ に対する第 1 処理の指示等を容易に行なうことが可能になる。

第 15 図にはアドレスコマンドと第 1 及び第 2 のアクセス処理の指示に回答する制御の状態遷移図が例示される。その状態遷移制御は前記制御部 $C N T$ の制御内容とされる。第 15 図においてハッチングが付された制御状態はビジー状態になる。

- 10 読み出し動作制御を説明する (4 Page Read [30H])。アドレスコマンド (アドレス指定コマンド) コード “00H” を用いて読み出しページのアドレスを指定する。アドレスは $C A$ と $P A$ の順に指定される。次にフラッシュ系読み出しコマンド 30H (31H, 3AH) を用いて、アドレスコマンドで指定されたメモリセルのデータを選択ページに対応するオンチップバッファとしてのバッファメモリ $B M R Y i$ に転送する。転送中のステータスはビジーとされる。フラッシュ系読み出しコマンドの実行が完了された後、リードイネーブル信号 $R E b$ の変化に同期して、バッファメモリ $B M R Y i$ の記憶情報を外部に出力する。複数ページを読み出し対象にする場合にはアドレスコマンド “00H” を繰返せばよい。フラッシュメモリアレイから記憶情報をバッファメモリ $B M R Y i$ に読み出す動作 (Flash→Buffer) を完了した後、リードイネーブル信号 $R E b$ をクロック変化させると、これに同期して、バッファメモリ $B M R Y i$ の記憶情報が先頭から外部に出力される。このリードイネーブル信号 $R E b$ のクロック変化の前に、第 7 図の No. 2 又は No. 3 のコマンドコードが投入されると、その $C A$ によって指定される
- 25 カラムアドレスを先頭とするデータ出力が可能にされる。

書き込み動作制御について説明する（Page Program [10H]）。アドレス指定コマンド“80H”又は“00H”を用いて書き込むページのアドレスを指定する。アドレスはCA、PAの順に入力される。そして、ライトイネーブル信号WEbのクロック変化に同期して外部より書き込みデータを選択ページに対応するバッファメモリBMRYiに入力する。外部より書き込みデータの inputs が完了したら、フラッシュ系書き込みコマンド10H又は12H等を用いて、前記アドレスコマンドで指定されたページにバッファメモリBMRYi上の書き込みデータを転送する。転送中のステータスはビジーとされる。書き込み終了後、70H等のコマンドを用いてステータスコードを確認可能である。

書換え動作制御について説明する（Read-Program Back [35H-15H(10H)]）。アドレスコマンド“00H”とアクセスコマンド“35H”によりページアドレスのデータがフラッシュメモリアレイFARYiからバッファメモリBMRYiに読み出され、この後、バッファメモリBMRYi上で書き換えるデータのラムアドレスがアドレスコマンド“85H”に付随するCAによるバッファ先頭ラムアドレス情報に従って指定され、指定されたラムアドレスのデータがバッファメモリBMRYiに入力される。この後、アクセスコマンド“15H”によりバッファメモリBMRYiのデータがフラッシュメモリアレイFARYiのページアドレスに書き戻される。これによってフラッシュメモリアレイFARYiの任意領域に対する書換えが可能にされる。

消去動作制御について説明する（Block Erase [D0H] , 4 Block Erase [D1H]）。アドレス指定コマンド60Hを用いて消去するブロックのアドレスを指定する。複数ブロック消去を行なう場合にはその処理を繰返す。アドレスはPAを指定し、チップ内部でブロックアドレスに変換される。次に、フラッシュ系消去コマンドD0H又はD1Hを用いて、

前記アドレスコマンドで指定されたブロックの消去を行なう。消去中のステータスはビジーとされる。消去が終了したら70H等のコマンドを用いてステータスコードを確認する。またD0H等のフラッシュ系消去コマンドの実行中はこれに並行して、利用されていないバッファメモリ
5 に対して外部との間でデータの入出力が可能にされる（バックグラウンド・データ・アクセス）。

2値読み出し動作（ダイレクトフラッシュアクセス）について説明する（Direct Flash Access [3AH]）。バッファメモリのアクセスコマンドコード“3AH”が指定された場合、1個のメモリセルに記憶されている2ビットの記憶情報を1ビットの記憶情報として読み出す。即ち、
10 ダイレクトフラッシュアクセス対象のメモリセルに対する情報記憶は、読み出しの動作マージンを大きく採ることを考慮して、消去状態又は閾値電圧の最も高い第3の書き込み状態の2通りの状態から選択する。読み出し動作では消去状態と第3の書き込み状態との間の閾値電圧を読み出しワード線電圧とし、それによって読み出された記憶情報を2値の
15 記憶情報に対する読み出しデータとしてそのまま用いる。

クリアコマンドについて説明する（Buffer Clear）。クリアコマンドコード“FEH”では、全てのバッファメモリBMRY0～BMRY3を一括でクリアする。特に制限されないが、ここでは、全記憶情報を論理値“0”とすることをクリアと言う。フラッシュメモリアレイFARY0～FARY3において論理値“0”の書き込みデータは書き込み阻止の論理値とされる。バッファメモリBMRY0～BMRY3のクリアコマンドを用意することにより、1ページ中の任意小領域の書き込み（＝追加書き込み）が高速化できる。追加書き込みを行なう場合、バッ
20 ファメモリBMRY0～BMRY3のクリアコマンドがないと、書き込みを行わない領域に書き込み禁止を意味するダミーデータ（論理値

“0”のパターン)を入力する必要がある。そしてライトイネーブル信号WEbを書き込み単位だけクロック変化させる必要がある。これに対してバッファメモリBMRY0～BMRY3のクリアコマンドがあると、バッファメモリBMRY0～BMRY3をクリアした時点で、バッファメモリBMRY0～BMRY3上には書き込み禁止を意味するダミーデータがセットされるため、書き込み単位のデータサイズに応じてライトイネーブル信号WEbをクロックさせてよい。

次ぎ、前記フラッシュメモリ1のアクセス動作について全体的な説明を行なう。

- 第16図にはフラッシュメモリに対する書換え動作が示される。右側にデータの流れが示され、左側に動作手順が示される。ここでは消去単位(2ページ=4Kバイト)による書換えを想定し、消去単位に相当する2個のバッファメモリBMRYをオンチップバッファ(4K)と称する。処理①では、メモリセルデータを読み出しコマンド(フラッシュ系)でオンチップバッファ(4K)に転送する。処理②では、メモリセルを消去コマンド(フラッシュ系)で消去する。処理③では、上記処理②の動作と並列して書き込みデータをオンチップバッファ(4K)に上書きする(バッファ系)。処理④では上記処理②及び③が終了した後、引き続きオンチップバッファのデータを書き込みコマンド(フラッシュ系)でメモリセルに転送する。

前記オンチップバッファ(4K)は図1のバッファメモリBMRY0～BMRY3の内の2個のバッファメモリBMRYi, BMRYjに相当する。第17図ではその点を明確化して、フラッシュメモリに対する書換え動作が示される。

- 第17図において、処理①では、メモリセルデータ(=4Kバイト)を読み出しコマンド(フラッシュ系)でオンチップバッファBMRYi,

B M R Y j に転送する。この時、選択メモリバンクの対応バッファメモリ (= 2 K バイト) B M R Y i と併せて、非選択メモリバンクのバッファメモリ (= 2 K バイト) B M R Y j にもデータを退避する。処理②では、メモリセルを消去コマンド(フラッシュ系)で消去する。処理③では、

5 前記処理②の動作と並列して書き込みデータをオンチップバッファメモリ B M R Y i , B M R Y j に上書きする(バッファ系)。処理④では前記処理②及び③が終了した後、引き続きオンチップバッファメモリ B M R Y i , B M R Y j のデータを書き込みコマンド(フラッシュ系)でメモリセルに転送する。

- 10 第 1 8 図にはフラッシュメモリに対する別の書換え動作が示される。右側にデータの流れが示され、左側に動作手順が示される。ここでは消去単位(2 ページ= 4 K バイト) による書換えを想定し、消去単位に相当するバッファメモリ B M R Y をオンチップバッファ(4 K) と称する。ここでは、バッファメモリ上で必要回数データを書き換えてフラッシュメモリアレイへの書き込みを行なう (= Read-Program Back モード)。即ち、処理①では、メモリセルデータを読み出しコマンド(フラッシュ系)でオンチップバッファ B M R Y に転送する。処理②では、メモリセルを消去コマンド(フラッシュ系)で消去する。処理③では、前記②の動作と並列して書き込みデータをオンチップバッファ B M R Y に上書きする(バッファ系)。処理④では、変更された書き込みデータを再度オンチップバッファメモリ B M R Y で上書きする。バッファ系コマンドはフラッシュ系コマンドに対して 1 0 倍近くコマンド実行が高速になるので、バッファ系コマンドの実行だけで済む動作は積極的にバッファ系コマンドだけを利用する。処理④による書き込みは必要な回数だけ何回行なってよい。処理⑤では、
- 20 チップの電源を落とす、あるいは次のアドレス指定コマンドが入力される前にオンチップバッファ B M R Y のデータを書き込みコマンド(フラッ
- 25

シュ系)でメモリセルに転送する。前記①～⑤の動作の間に行なうバッファデータの変更(=バッファデータ書き込み)に対し、回数制限は無い。必要に応じてバッファデータの変更を実施することができる。

- 第19図にはフラッシュメモリに対するキャッシュ読み出し動作が示される。右側にデータの流れが示され、左側に動作手順が示される。ここでは読み出しはページ単位(=2Kバイト)で行われ、バッファメモリBMR Y iとしてのオンチップバッファはページ単位で読み出しデータを受ける。処理①では、メモリセルデータを読み出しコマンド(フラッシュ系)でオンチップバッファBMR Y iに転送する。処理②では、引き続き、リードイネーブル信号R E bのクロック変化に同期させてオンチップバッファのデータを i / o から外部に読み出す。処理③では、同じページを連続して読み出す場合、フラッシュ系読み出しコマンドを使用せず、リードイネーブル信号R E bのクロック変化に同期させてオンチップバッファBMR Y i上のデータをそのまま i / o から外部に出力する。この処理はオンチップバッファBMR Y i上のデータが書き換えられない限り、何度でも実行できる。この時、アドレスコマンドで指定されるページアドレスが、オンチップバッファBMR Y i上のデータのページアドレスに一致(ページアドレスヒット)するか不一致(ページアドレスミスヒット)かの判定は、フラッシュメモリ外部のフラッシュメモリコントローラMCNT側で行なえば、そのような判定結果を得る為のステータスポーリングは不要である。要するに、アクセス要求元であるメモリコントローラそれ自体がページアドレスヒット又はページアドレスミスヒットの状態を認識してアクセス要求を行なうから、フラッシュメモリのデータ出力タイミングがページアドレスヒット又はページアドレスミスヒットに応じて相違する状態をポーリングなどによってメモリメモリコントローラが認識するのを待つまでもない。

第20図にはフラッシュメモリに対するキャッシュ読み出し動作のためのページアドレスヒット及びページアドレスミスヒットの判定をフラッシュメモリが行なう場合の例を示す。右側にはそのためのハードウェア構成が例示され、左側にはその制御手順が例示される。

- 5 第2図のアドレスバッファ (A B U F) 10に、前後2回のアクセスにおけるそれぞれのページアドレス情報を保持するアドレスラッチ回路30, 31を用意する。第1のアドレスラッチ回路31は現在動作中のページアドレス情報を保存し、第2のアドレスラッチ回路31には一つ前に動作したアクセスのページアドレス情報を保存する。処理①では、
- 10 メモリセルデータを読み出すコマンド(フラッシュ系)が入力されたら、第1のアドレスラッチ回路30の値と第2のアドレスラッチ回路31の値を比較回路32で比較する。比較結果は制御部C N Tに与えられる。制御回路C N Tはアドレスラッチ回路30, 31の値が一致したらフラッシュメモリアレイF A R Y iに対するデータ読み出し動作を行なわずに、レディー・ビジー信号R / B b (もしくはステータス)をレディー状態に戻して (③)、バッファメモリB M R Y iのデータを出力可能になる。引き続き第1アドレスラッチ回路30の値を第2アドレスラッチ回路31にコピーする。
- 15

- 20 ドレスラッチ回路30, 31の値が一致しない場合、フラッシュメモリアレイF A R Y iのメモリセルデータをオンチップバッファB M R Y iに転送する (処理②)。この転送中はビジー状態にされる。引き続き第1アドレスラッチ回路30の値を第2アドレスラッチ回路31にコピーする。

- 25 上記比較判定動作中において、外部のフラッシュメモリコントローラF C N Tはステータスポーリングを行なう。レディー・ビジー信号R / B bでレディー状態を確認したら、リードイネーブル信号R E bをクロ

ック変化させて、オンチップのバッファメモリ B M R Y i から i / o にデータを出力させる。

第 2 1 図にはコピー書き込み動作が例示される。右側にデータの流
 5 2 K バイト)で行われ、バッファメモリ B M R Y i としてのオンチップバッ
 ファはページ単位で書き込みデータをフラッシュメモリアレイ F A R Y i に
 与える。同図に示される動作は書き込みエラー処理やデータ書込の多重化
 等で使用される。処理①では、書き込みデータをオンチップバッファ B
 M R Y i に書込む (バッファ系コマンド)。処理②では、引き続きオン
 10 チップバッファ B M R Y i のデータを書き込みコマンド (フラッシュ系
 コマンド) でフラッシュメモリアレイ F A R Y i に転送する。処理③で
 は、処理②で選択したページとは異なるページに、同じデータを書き込
 む場合 (要するにコピーする場合)、アドレス指定コマンドでコピー先の
 ページアドレスを指定し、再度オンチップバッファ B M R Y i のデータ
 15 を書き込みコマンド (フラッシュ系) でメモリセルに転送する。この処理
 はオンチップバッファ B M R Y i 上のデータが書き換えられない限り、
 何度でも実行することができる。

次ぎ、前記フラッシュメモリ 1 のアクセス動作タイミングについて全体的
 な説明を行なう。

20 第 2 2 図には読み出し動作タイミングが例示される。これは第 6 図の
 A 欄のコマンド形態の場合に対応され、また、第 1 9 図の処理①及び処
 理②を経る読み出し動作に対応される。第 2 2 図において Col.Add1 及
 び Col.Add2 は C A に相当し、Raw.Add1 及び Raw.Add2 は P A に相当す
 る。第 2 2 図における時間 T 1 はフラッシュメモリアレイ F A R Y i か
 25 らデータを読み出してバッファメモリ B M R Y i に伝達するまでの動
 作時間に相当する。

第 2 3 図にはキャッシュ読み出し動作タイミングが例示される。これは第 6 図の C 欄のコマンド形態の場合に対応され、また、第 1 9 図の処理③による読み出し動作に対応される。アドレスコマンドが入力された後、フラッシュメモリアレイ F A R Y i の動作を待つ必要がないから、

5 R / B b はビジー状態にされず、即座に、外部へのデータ出力が可能にされる。

第 2 4 図には書き込み動作タイミングが例示される。これは第 6 図の B 欄のコマンド形態の場合に対応され、また、第 2 1 図の処理①及び処理②による書き込み動作に対応される。第 2 4 図において Col.Add1 及び Col.Add2 は C A に相当し、Raw.Add1 及び Raw.Add2 は P A に相当する。第 2 4 図における時間 T 2 は、バッファメモリ B M R Y i が保持するデータをフラッシュメモリアレイ F A R Y i に書き込む動作時間に相当する。

10

第 2 5 図にはコピー書き込み動作タイミングが例示される。これは第 6 図の D 欄のコマンド形態の場合に対応され、また、第 2 1 図の処理③による書き込み動作に対応される。アドレスコマンドが入力された後、外部からバッファメモリ B M R Y i に書き込みデータが転送されるのを待つ必要がないから、書き込み動作全体で要する時間が短縮される。

15

第 2 6 図にはキャッシュ読み出し動作のためのページアドレス比較をフラッシュメモリコントローラ M C N T が行なう場合のタイミングチャートが示され、これは、第 1 9 図の処理による動作に対応される。第 2 6 図において C A 1 , C A 2 は前記 C A に相当する。フラッシュメモリコントローラ M C N T は連続してフラッシュリードアクセスを行なうとき、これからリードアクセスしようとするページアドレスと直前にリードアクセスしたページアドレスとを比較し (S 1 a) 、その後、

20

25 アドレスコマンドを出力する (S 2 a) 。前記 S 1 比較結果が不一致で

- ある場合には、その後フラッシュメモリコントローラMCNTはフラッシュリードアクセスのためのアクセスコマンド（例えば“30H”）を出力し、レディー・ビジー信号R/Bbによるステータスポーリングでレディー状態への変化を待つ（S3a）。この間、フラッシュメモリコントローラMCNTは指定されたページアドレスから記憶情報を読み出して対応バッファメモリBMR Y iに読み出しデータを転送する。フラッシュメモリコントローラMCNTはレディー状態を検出すると、リードイネーブル信号REbのクロック変化に同期させてバッファメモリBMR Y iから前記読み出しデータを外部に出力させる（S4a）。
- 5 前記S1a比較結果が一致である場合には、前記処理S3aを省略し、直ちに、フラッシュメモリコントローラMCNTはリードイネーブル信号REbのクロック変化に同期させてバッファメモリBMR Y iから前記読み出しデータを外部に出力させる（S4a）。直前にフラッシュリードアクセス処理でアクセス対象ページアドレスの記憶情報が既に対応バッファメモリBMR Y iに保持されているからである。このキャッシュリード処理を行なうときのコマンドは第7図のNo. 2, No. 3のアクセスコマンド等であってもよい。
- 10
- 15

- 第27図にはキャッシュ読み出し動作のためのページアドレス比較をフラッシュメモリが行なう場合のタイミングチャートが示され、これは第20図の処理による動作に対応される。第27図においてCA1, CA2は前記CAに相当する。フラッシュメモリコントローラMCNTはフラッシュリードアクセスを行なうとき、アドレス比較を行わず直ちにアドレスコマンドを出力する（S1b）。その後フラッシュメモリコントローラMCNTはフラッシュリードアクセスのためのアクセスコマンド（例えば“30H”）を出力し、レディー・ビジー信号R/Bbによるステータスポーリングでレディー状態への変化を待つ（S2b）。
- 20
- 25

この間、フラッシュメモリは、指定されたリードアクセス対象ページアドレスと直前にリードアクセスしたページアドレスとを比較する。比較結果が不一致の場合には、フラッシュメモリは、指定されたページアドレスから記憶情報を読み出して対応バッファメモリ $BMR Y i$ に読み出しデータを転送してから、レディー・ビジー信号 $R/B b$ でレディー状態を通知する。比較結果が一致の場合には、フラッシュメモリは、直ちにレディー・ビジー信号 $R/B b$ でレディー状態を通知する。すなわち、比較結果の一致により、時間 IT だけステータスポーリングの期間が短縮される。フラッシュメモリコントローラ $MCNT$ はレディー状態を検出すると、リードイネーブル信号 $RE b$ のクロック変化に同期させてバッファメモリ $BMR Y i$ が保有するデータを外部に出力させる ($S3 b$)。このキャッシュリード処理を行なうときのコマンドは第7図の $No. 2$ 、 $No. 3$ のアクセスコマンド等であってもよい。

第28図にはフラッシュメモリ1におけるデータ出力系のパイプラインが示される。第1アクセス処理に用いる信号経路に、外部からのアドレス情報をラッチするアドレスバッファ ($ABUF$) 10、アドレスバッファの出力を入力してバッファメモリ $BMR Y i$ に供給するバッファ部アドレスバッファ ($BABUF$) 13 m ($m=a \sim d$)、バッファメモリ $BMR Y i$ から出力されるデータをラッチするバッファ部データバッファ ($DBUF$) 14 m 、バッファ部データバッファ 14 m の出力データをラッチして外部に出力するデータバッファ ($DBUF$) 16 が配置され、アドレス入力からデータ出力までのパイプライン段数は4段である。特に制限されないが、前記アドレスバッファ10はイネーブル信号 EN のクロック変化に同期してラッチ動作を行なう。前記バッファ部アドレスバッファ13 m 、バッファ部データバッファ14 m 、及びデータバッファ16は、クロック信号 CLK のクロック変化に同期

してラッチ動作を行なう。前記イネーブル信号 EN 及びクロック信号 CLK は制御部 CNT が生成する。

第 29 図には第 28 図のパイプラインにおける各出力信号波形が例示される。前記制御部 CNT は、アドレスコマンド $CA1$, $CA2$ をアドレスラッチイネーブル状態 ($ALE = H$) においてライトイネーブル信号 (WEb) のクロック変化に同期して認識すると、ライトイネーブル信号 (WEb) のクロック変化に同期してイネーブル信号 EN をクロック変化させる ($Tm1$)。また、第 1 アクセス処理においてコマンドラッチディスエーブル状態 ($CLE = L$) 及びアドレスラッチディスエーブル状態 ($ALE = L$) で外部へのデータ読み出しを指示するリードイネーブル信号 REb のクロック変化に同期してクロック信号 CLK をクロック変化させる ($Tm2$)。

前記 $Tm1$ のクロック変化はアドレスバッファ 10 の最初のラッチ動作を制御して、内部アドレス情報 $ADD1$ を確定させる。前記 $Tm2$ のクロック変化はデータバッファ 16 の最初のデータ出力等を確定させる。このとき、前記制御部 CNT は、バッファ部アドレスバッファ 13m 及びバッファ部データバッファ 14m の最初のラッチ動作を制御するためにクロック信号 CLK を自立的に変化させる ($Tm3$)。すなわち、前記制御部 CNT は、アドレスコマンド $CA1$, $CA2$ をアドレスラッチイネーブル状態 ($ALE = H$) においてライトイネーブル信号 (WEb) のクロック変化に同期して認識した後、第 1 アクセス処理において外部へのデータ読み出しを指示するリードイネーブル信号 REb が変化されるまでの間に、ダミークロックとして、バッファ部アドレスバッファ 13m のラッチタイミングと、バッファ部データバッファ 14m のラッチタイミングを生成する。

これにより、アドレスコマンドによるアクセス対象アドレスが $A1$,

A 2, A 3...が続くとき、それによりリードデータが D 1, D 2, D 3...のように連続する場合を考えると、最初のアドレス入力において T m 1 のクロック変化でアドレスバッファ 1 0 の出力 A D D 1 が A 1 に確定し、次の T m 3 の最初にクロック変化でバッファ部アドレスバッファ 1 3 m の出力 A D D 2 が A 1 に確定すると共に当該確定アドレス a 1 でバッファメモリ B M R Y i から読み出されるデータ d a t a 1 が D 1 に確定する。T m 3 の次のクロック変化でバッファ部データバッファ 1 4 m の出力データ d a t a 2 が D 1 に確定する。そして、T m 2 の最初のクロック変化でデータバッファ 1 6 から最初のデータ D 1 が外部
10 に出力される。以下パイプラインで順次後続データが出力されていく。

上記自立的にクロックを生成することにより、アドレス入力からデータ出力までのパイプライン段数が比較的多くても、最初の部分のパイプライン動作に対処することが可能になる。

以上説明したフラッシュメモリによれば以下の作用効果を得る。

- 15 [1]フラッシュメモリ 1 に対するアクセス処理の指示若しくはコマンドを、フラッシュ系(=フラッシュメモリアレイ⇔オンチップバッファメモリ間転送)とバッファ系(オンチップバッファメモリ⇔i/o間転送)の 2 系統に分割する。そして両者を組み合わせて、あるいは単独で、フラッシュメモリ 1 に対するアクセスを可能にする。このようにコマン
20 ドを 2 系統に分割することで、消去動作の様にオンチップのバッファメモリ B M R Y i を利用しない動作モードでは、外部から並列してオンチップのバッファメモリをアクセス可能になる。また、高速なオンチップバッファメモリ⇔i/o間転送を積極的に利用することで、キャッシュ読み出し等が可能となる。また、書き込み用シリアルクロック(W E b
25 信号)、読み出し様シリアルクロック(R E b 信号)端子を設け、更にアドレスバッファの値を外部から指定できるアドレス指定コマンド(例え

ば第7図のNo. 2及びNo. 3のコマン等)を用意することにより、スタンバイ中はコマンド入力無くとも外部クロックに同期してアドレスバッファの指すオンチップバッファメモリとi/o間でデータの入出力が可能になる。

- 5 〔2〕オンチップバッファメモリBMR Y i上のデータは、バッファクリアコマンドが入力されるまで保持する。そのためオンチップバッファメモリBMR Y i上のデータをユーザが管理することができる。

- 10 〔3〕フラッシュ系の動作モード時、使用されていないオンチップバッファメモリBMR Y iに対しては、バッファ系のコマンドを受け付け可能になる。

〔4〕バッファ系コマンドの動作単位をページ単位とするが、ページ内のアドレス(=CA)を指定するコマンドを併用することで、ページ内の任意の領域を選択的に転送することもできる。

- 15 〔5〕フラッシュ系コマンドの動作単位もページ単位であるが、これによる動作ではページ内の任意の領域を選択的にバッファメモリBMR Y 0～BMR Y 3間で転送することは実現していない。制御を極端に複雑化しないためであり、バッファ系コマンドでページ内の任意選択が実現されていれば実質的に十分と考えられるからである。

- 20 〔6〕セクタ管理情報や記憶情報のECCデータ等を2値データとしてフラッシュメモリアレイFAR Y iに書込むことで、データを2値⇔4値変換を行わずにフラッシュメモリアレイFAR Y iから記憶情報をi/oに直接的に転送できるから(ダイレクフラッシュアクセスモード)、メモリコントローラMCNTによるセクタ管理情報やECCデータ等を用いる制御処理に即座に移ることができ、ファイルやデータに対するアクセス処理時間の全体的な短縮に寄与することができる。
- 25

〔7〕フラッシュメモリチップ1に搭載されているバッファメモリBM

R Y i を外部より直接指定できる、アドレス指定コマンド（第 7 図の N o . 2、N o . 3、N o . 4 のコマンド）を用意するから、バッファメモリ B M R Y i のデータは信号 R E b、W E b に同期して i / o ⇄ バッファメモリ間で転送することができる。

- 5 〔 8 〕書き込み、読み出しモードではアドレス指定コマンドにより選択ページ（＝動作させるページ）のページアドレスをアドレスバッファに入力し、それによってフラッシュメモリアレイのアクセスアドレスが定まると共に、オンチップのバッファメモリのアドレスも一意に定まるため、バッファメモリのアドレス指定を特別に行なう操作は不要である。
- 10 〔 9 〕2 個のアドレスラッチ回路 3 0，3 1 とアドレス比較回路 3 2 を用意すると、キャッシュ読み出し動作の制御をフラッシュメモリ自体で行なうことができる。

- 15 〔 1 0 〕以上より、高速書き換え、キャッシュ読み出し、及び高速コピー書き込み等を実現でき、フラッシュメモリチップの利便性を向上させることができる。そのようなフラッシュメモリチップを用いるフラッシュメモリカードの性能を向上させることが可能になる。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。

- 20 例えば、バッファメモリにはバイト単位アクセスを行なう S R A M を用いてページ単位データを直列的に転送するシリアル転送方式を採用しているが、フラッシュメモリアレイとの間ではページ単位データを内部転送可能なパラレル転送方式のデータラッチ回路を用いてもよい。

- 25 バッファメモリに対する書き込み及び読み出しのためのシリアルクロックを書き込み用（W E b）と読み出し用（R E b）に別々に用意し

たが、バッファ系制御コマンドを別途用意してもよい。その場合には、シリアルクロックは1つ共通化することができる。

バッファメモリのサイズは1バンク毎に n ページ以上($n: 1$ より大きな自然数)あってもよい。

- 5 本発明は4値など多値フラッシュメモリだけではなく、2値フラッシュメモリにも適用可能である。また、多値フラッシュメモリの記憶形式は記憶情報の値に応じて順次閾値電圧を相違させる場合に限定されず、メモリセルにおいて電荷を保持する場所を局所的に変更して多値で情報記憶を行なう電荷トラップ膜(窒化シリコン膜)を利用するメモリセル構造を採用してもよい。更に不揮発性メモリセルとして高誘電体メモリセル等のその他の記憶形式を採用する事も可能である。

- 10 また単数のメモリバンクを有する不揮発性記憶装置にも適用可能である。バッファ部の指定は暗黙的指定に限定されず、アドレスコマンドで積極的指定するようにしてもよい。但し、アドレスコマンドの情報量が増える。

- 15 また本発明はアドレス/データ両方がマルチプレクスされてI/O端子に入力されるものだけではなく、アドレスを入力するためのアドレス端子を有するものであっても良い。アドレス端子から入力されたアドレスに従ってバッファメモリへのアクセス又はフラッシュメモリアレイへのアクセスのいずれかを指定するコマンドを有するようにしても良い。この場合バッファメモリ又はフラッシュメモリの何れへのアクセスであるかを指定する制御信号によりアクセスする先を決定するようにしても良い。更にこの場合であってもフラッシュメモリからバッファメモリへのアクセスはページ単位に行い、バッファメモリへのアクセスはバイト単位に行なうようにすることが可能である。
- 20
- 25

産業上の利用可能性

- 5 本発明は、オンチップでバッファメモリを備えるフラッシュメモリチップ、そのフラッシュメモリチップを搭載し得たフラッシュメモリカード、バッファメモリを備えるフラッシュメモリをオンチップの不揮発メモリとして備えマイクロコンピュータ若しくはシステムLSIなどの半導体集積回路などに広く適用することができる。

請 求 の 範 囲

1. 不揮発性メモリ部、バッファ部、及び制御部を有し、
前記制御部は、外部と前記バッファ部との間の第1アクセス処理と、
5 前記不揮発性メモリ部と前記バッファ部との間の第2アクセス処理
とを、それぞれ別々に外部から指示を受けて制御可能にされることを
特徴とする不揮発性記憶装置。
2. 前記第1アクセス処理の指示は、外部から入力されるデータを前記
バッファ部に書き込む指示又は前記バッファ部から外部にデータを
10 読み出す指示であることを特徴とする請求の範囲第1項記載の不揮
発性記憶装置。
3. 前記書き込む指示又は読み出す指示は、外部から入力される単数又
は複数の制御信号の変化によって与えられることを特徴とする請求
の範囲第2項記載の不揮発性記憶装置。
- 15 4. 第2アクセス処理を行っていることを示すための状態指示情報を外
部に出力可能であることを特徴とする請求の範囲第3項記載の不揮
発性記憶装置。
5. 前記第2アクセス処理の指示はアクセスコマンドにより与えられ、
前記アクセスコマンドとして、バッファ部からデータを読み出して不
20 揮発性メモリ部に書き込む指示を与える第1アクセスコマンド、不揮
発性メモリ部からデータを読み出してバッファ部に書き込む指示を
与える第2アクセスコマンド、又は不揮発性メモリ部のデータを消去
する指示を与える第3アクセスコマンドを有することを特徴とする
請求の範囲第1項記載の不揮発性記憶装置。
- 25 6. 前記不揮発性メモリ部とバッファ部を相互に対応させて複数組有す
ることを特徴とする請求の範囲第1項記載の不揮発性記憶装置。

7. 前記制御部は、外部から供給されるアドレスコマンドを認識可能であり、

前記アドレスコマンドは、バッファ部の記憶領域及び不揮発性メモリ部の記憶領域の指定を可能にすることを特徴とする請求の範囲第6項記載の不揮発性記憶装置。

8. 前記アドレスコマンドは第1指定情報、第2指定情報及び第3指定情報を持つことが可能であり、

前記第1指定情報は、不揮発性メモリ部を指定すると共に指定された不揮発性メモリ部に対応するバッファ部を暗黙的に指定し、

前記第2指定情報は、指定された不揮発性メモリ部のアクセス対象アドレスを指定し、

前記第3指定情報は、指定されたバッファ部のアクセス対象アドレスを指定することを特徴とする請求の範囲第7項記載の不揮発性記憶装置。

9. 前記制御部は、特定の第2アクセス処理の指示に応答するとき、前記第1指定情報によるバッファ部の指定を、不揮発性メモリ部とは対応しない別のバッファ部の指定とみなすことを特徴とする請求の範囲第8項記載の不揮発性記憶装置。

10. 前記制御部は、不揮発性メモリ部の第2アクセス処理と当該不揮発性メモリ部に対応されない別のバッファ部の第1アクセス処理とを並行可能であることを特徴とする請求の範囲第6項記載の不揮発性記憶装置。

11. 前記制御部は、相互に対応される不揮発性メモリ部の消去処理とバッファ部の第1アクセス処理とを並行可能であることを特徴とする請求の範囲第6項記載の不揮発性記憶装置。

12. 前記制御部は、前記バッファ部からデータを読み出して不揮発性

メモリ部に書き込む第2アクセス処理の指示に応答する処理を行なった後に、別の第1アクセス処理又は第2アクセス処理の指示を待つ状態において、前記バッファ部の記憶情報を維持することを特徴とする請求の範囲第1項記載の不揮発性記憶装置。

- 5 13. 前記制御部は、前記バッファ部からデータを読み出して外部に出力する第1アクセス処理の指示に応答する処理を行なった後に、別の第1アクセス処理又は第2アクセス処理の指示を待つ状態において、前記バッファ部の記憶情報を維持することを特徴とする請求の範囲第1項記載の不揮発性記憶装置。
- 10 14. 前記制御部は、バッファクリアコマンドに応答してバッファメモリ部の記憶情報を初期化することを特徴とする請求の範囲第11項又は第13項記載の不揮発性記憶装置。
- 15 15. 前記制御部は、前記第1アクセス処理に応答して、外部からの入力データをバッファ部に書き込むとき、書き込み前に前記バッファ部の記憶情報を初期化することを特徴とする請求の範囲第12項又は第13項記載の不揮発性記憶装置。
- 20 16. 前記制御部は、第2アクセス処理により前記不揮発性メモリ部から読み出されてバッファ部に書き込まれたデータを、複数回の第1アクセス処理によりバッファ部から外部へ異なるタイミングで複数回データ転送可能とすることを特徴とする請求の範囲第1項記載の不揮発性記憶装置。
- 25 17. 前記制御部は、不揮発性メモリ部からバッファ部にデータを書き込む第2アクセス処理が指示されたとき、バッファ部が保有するデータの不揮発性メモリ部上でのアドレスと同じアドレスをアクセス処理対象とする当該第2アクセス処理を省略することを特徴とする請求の範囲第1項記載の不揮発性記憶装置。

18. バッファ部が保有するデータの揮発性メモリ部上におけるアドレスのアドレス情報を保持するアドレス保持手段と、アドレス保持手段が保持するアドレス情報と第2アクセス処理においてデータ読み出し対象とされる揮発性メモリ部のアドレスのアドレス情報とを比較する比較手段とを有することを特徴とする請求の範囲第17項記載の揮発性記憶装置。
19. 前記制御部は、第2アクセス処理で前記揮発性メモリ部からバッファ部に書き込まれたデータを第1アクセス処理によりバッファ部から外部へ出力する指示が与えられたとき、前記第2アクセス処理の省略の有無により、第2アクセス処理中であることをビジー状態によって示す信号によるビジー状態の期間を相違させることを特徴とする請求の範囲第17項記載の揮発性記憶装置。
20. 前記制御部は、第1アクセス処理により外部からバッファ部に書き込まれたデータを、複数回の第2アクセス処理によりバッファ部から揮発性メモリ部へ複数回書き込み可能とすることを特徴とする請求の範囲第1項記載の揮発性記憶装置。
21. 前記制御部は、複数回の第1アクセス処理により外部からバッファ部上で書き換えられたデータを、第2アクセス処理によりバッファ部から揮発性メモリ部へ書き込み可能とすることを特徴とする請求の範囲第1項記載の揮発性記憶装置。
22. 前記揮発性メモリ部は1個の記憶素子に2ビット以上の多値情報記憶が可能にされ、前記バッファ部は1個の記憶素子に1ビットの2値情報記憶が可能にされることを特徴とする請求の範囲第1項記載の揮発性記憶装置。
23. 前記制御部は、前記揮発性メモリ部の記憶情報を2値情報とみなし、多値から2値への変換動作を省略する第3アクセス処理を制御

可能であることを特徴とする請求の範囲第 2 2 項記載の不揮発性記憶装置。

2 4 . 前記第 1 アクセス処理に用いる信号経路に、外部からのアドレス情報をラッチするアドレスバッファ、前記アドレスバッファの出力を入力してバッファ部に供給するバッファ部アドレスバッファ、前記バッファ部から出力されるデータをラッチするバッファ部データバッファ、前記バッファ部データバッファの出力データをラッチして外部に出力するデータバッファが配置され、

前記制御部は、アドレスコマンドを第 1 ストロブ信号に同期して認識した後、第 1 アクセス処理において外部へのデータ読み出しを指示する第 2 ストロブ信号が変化されるまでの間に、ダミークロックとして、前記バッファ部アドレスバッファのラッチタイミングと、前記バッファ部データバッファのラッチタイミングを生成することを特徴とする請求の範囲第 5 項記載の不揮発性記憶装置。

2 5 . 前記不揮発性メモリ部とバッファ部をそれぞれ対応させて複数組有し、前記不揮発性メモリ部の消去単位は書き込み単位の複数倍であり、それぞれのバッファ部は前記書き込み単位の記憶容量を有し、前記制御部は、前記消去単位による記憶情報の書換え動作の指示に対して、書換え対象の不揮発性メモリ部と異なる不揮発性メモリ部のバッファ部を併せて、書換え対象記憶情報の退避領域に用いることを特徴とする請求の範囲第 1 項記載の不揮発性記憶装置。

2 6 . 1 個の半導体チップに形成されて成ることを特徴とする請求の範囲第 1 項記載の不揮発性記憶装置。

2 7 . その他の回路モジュールと共に 1 個の半導体チップに形成されて成ることを特徴とする請求の範囲第 1 項記載の不揮発性記憶装置。

2 8 . 複数のメモリバンクと制御部を有し、前記メモリバンクは不揮発

性メモリ部とバッファ部を有し、

前記バッファ部及び前記不揮発性メモリ部のアクセス対象領域はアドレスコマンドに基づいて指定され、

5 前記制御部は、外部と前記バッファ部との間でアクセス動作を行なう第1アクセス処理と、前記不揮発性メモリ部と前記バッファ部との間でアクセス動作を行なう第2アクセス処理とを、それぞれ別々に外部から指示を受けて制御可能であることを特徴とする不揮発性記憶装置。

10 29. 前記制御部は、前記第1アクセス処理では、前記アドレスコマンドが指定するメモリバンクのバッファ部を利用させ、前記第2アクセス処理では、その指示内容に応じて、前記アドレスコマンドが指定するメモリバンクのバッファ部又はそれと異なるメモリバンクのバッファ部を利用させることを特徴とする請求の範囲第28項記載の不揮発性記憶装置。

15 30. 前記制御部は、メモリバンク数に応ずる回数を限度にアドレスコマンドが入力される毎にアドレスコマンドで指定される不揮発性メモリ部のアクセス対象領域に対する読み出しセットアップ動作を制御し、第2アクセス処理としてリード動作を指示するリードアクセスコマンドが入力されたとき、前記読み出しセットアップされた不揮発性メモリ部から記憶情報を読み出してバッファ部に書き込む制御を行なうことを特徴とする請求の範囲第28項記載の不揮発性記憶装置。

25 31. 前記制御部は、メモリバンク数に応ずる回数を限度に連続してアドレスコマンド入力と第1アクセス処理の指示による書き込みデータ入力が行われる毎に、アドレスコマンドで指定されるメモリバンクのバッファ部に前記書き込みデータの書き込み動作を制御し、第2ア

クセス処理として書き込み動作を指示するライトアクセスコマンドが入力されたとき、前記バッファ部が有する書き込みデータを対応するメモリバンクの不揮発性メモリ部に書き込む制御を行なうことを特徴とする請求の範囲第 2 8 項記載の不揮発性記憶装置。

- 5 3 2 . 前記制御部は、メモリバンク数に応ずる回数を限度に連続してアドレスコマンドが入力された後にイレーズコマンドが入力されることにより、アドレスコマンドで指定されるメモリバンクの不揮発性メモリ部に対して記憶領域の消去動作を制御することを特徴とする請求の範囲第 2 8 項記載の不揮発性記憶装置。

- 10 3 3 . 制御部と不揮発性記憶部とバッファ回路とを有し、
前記制御部は外部から複数の動作指示コマンドを受け付け、前記動作指示コマンドには
前記バッファ回路と外部との間で、アクセス動作を行なう第 1 の動作指示コマンドと、

- 15 前記バッファ回路と不揮発性記憶部との間で、アクセス動作を行なう第 2 の動作指示コマンドとがあることを特徴とする不揮発性記憶装置。

- 20 3 4 . 前記制御部は前記動作指示コマンドを受け付けることが可能なコマンド受付状態を有し、前記動作指示コマンドを受け付けてそれぞれの動作指示コマンドに応じた処理を行った後、前記コマンド受付状態となることを特徴とする請求の範囲第 3 3 項記載の不揮発性記憶装置。

- 25 3 5 . 前記不揮発性記憶部は複数の記憶領域に分割され、
前記動作指示コマンドには、前記不揮発性記憶部の一の記憶領域を選択するためのアドレスを指定する第 3 の動作指示コマンドがあり、
前記第 2 の動作指示コマンドは、前記第 3 の動作指示コマンドで選択

された前記不揮発性記憶部の記憶領域と前記バッファ回路との間でアクセス動作を行なう指示を与えることを特徴とする請求の範囲第34項記載の不揮発性記憶装置。

36. 前記複数の記憶領域に対応して、前記バッファ回路は複数の領域に分割され、

前記制御部は、前記第3の動作指示コマンドで前記不揮発性記憶部の記憶領域を選択すると共に、選択された前記不揮発性記憶部の記憶領域に対応する前記バッファ回路の領域をも選択し、

前記第1の動作指示コマンドは、前記第3の動作指示コマンドで選択されたバッファ回路の領域と外部との間でアクセス動作を行なう指示を与え、

前記第2の動作指示コマンドは、前記第3の動作指示コマンドで選択されたバッファ回路の領域と前記不揮発性記憶部の記憶領域との間でアクセス動作を行なう指示を与えることを特徴とする請求の範囲第35項記載の不揮発性記憶装置。

37. 前記制御部は、前記第2の動作指示コマンドによる前記不揮発性記憶部の一の記憶領域へのアクセス処理のうち一部の処理完了に応じて前記コマンド受付状態となり、

前記一の記憶領域への全てのアクセス処理が完了する前において、

前記第3の動作指示コマンドの受付と、

前記第3の動作指示コマンドで選択されたバッファ回路の領域及び不揮発性記憶部の記憶領域が前記アクセス処理を行っている領域とは異なる領域である場合の前記第1又は前記第2の動作指示コマンドの受付を可能とすることを特徴とする請求の範囲第36項記載の

不揮発性記憶装置。

38. 前記第1の動作指示コマンドには、前記バッファ回路へのデータ

の書き込みを指示する第 1 書き込み動作コマンドと、前記バッファ回路からデータの読み出しを指示する第 1 読み出し動作コマンドとを含み、

5 前記第 2 の動作指示コマンドには、前記バッファ回路から前記不揮発性記憶部へのデータの書き込みを指示する第 2 書き込み動作コマンドと、前記不揮発性記憶部から前記バッファ回路へデータの読み出しを指示する第 2 読み出し動作コマンドとを含むことを特徴とする請求の範囲第 3 7 項記載の不揮発性記憶装置。

10 3 9 . 前記第 1 の動作指示コマンドには、更に前記バッファ回路に書き込まれているデータの消去を指示する第 1 消去動作コマンドを含み、前記第 2 の動作指示コマンドには、更に前記不揮発性記憶部に書き込まれているデータの消去を指示する第 2 消去動作コマンドを含むことを特徴とする請求の範囲第 3 8 項記載の不揮発性記憶装置。

15 4 0 . 前記不揮発性記憶部の第 1 記憶領域を指定する前記第 3 の動作指示コマンドの受付後、前記第 2 消去動作コマンドを受け付け、前記第 1 記憶領域に書き込まれているデータの消去を開始しデータの消去が完了する前において、

前記不揮発性記憶部の第 2 記憶領域を指定する前記第 3 の動作指示コマンドと、前記第 1 の動作指示コマンド又は前記第 2 の動作指示コマンドの受付を可能とすることを特徴とする請求の範囲第 3 9 項記載の不揮発性記憶装置。

20 4 1 . 前記不揮発性記憶部の第 1 記憶領域を指定する前記第 3 の動作指示コマンドの受付後、前記第 2 読み出しコマンドを受け付け、前記不揮発性記憶部から前記バッファ回路へデータの読み出しが完了した後において、

25 少なくとも 1 回以上の前記第 1 の動作指示コマンドを受け付け、更に

前記第 2 書き込みコマンドの受付動作が可能であることを特徴とする請求の範囲第 3 9 項記載の不揮発性記憶装置。

4 2 . 前記第 2 読み出しコマンドを受け付けた後、前記第 2 書込コマンドの受付前において、

5 前記不揮発性記憶部の第 2 記憶領域を指定する前記第 3 の動作指示コマンドの受付と少なくとも 1 回以上の前記第 1 の動作指示コマンドまたは前記第 2 の動作指示コマンドの受け付けを行った後、前記第 1 記憶領域を指定する前記第 3 の動作指示コマンドの受付動作が可能であることを特徴とする請求の範囲第 4 1 項記載の不揮発性記憶装置。

10 4 3 . 前記不揮発性記憶部の第 1 記憶領域を指定する前記第 3 の動作指示コマンドの受付後、少なくとも 1 回以上の前記第 1 書き込みコマンドを受け付けた後、前記第 2 書き込みコマンドの受付動作が可能であることを特徴とする請求の範囲第 3 8 項記載の不揮発性記憶装置。

15 4 4 . 少なくとも 1 回の前記第 1 書き込みコマンドを受け付けた後、1 回以上の前記第 1 の動作指示コマンドの受付動作が可能であることを特徴とする請求の範囲第 4 3 項記載の不揮発性記憶装置。

4 5 . 少なくとも 1 回の前記書き込みコマンドを受け付けた後、1 回以上の前記第 2 書き込みコマンドの受付動作が可能であることを特徴とする請求の範囲第 4 3 項記載の不揮発性記憶装置。

20 4 6 . 前記不揮発性記憶部の第 1 記憶領域に含まれる第 1 アドレスを指定する前記第 3 の動作指示コマンドの受付後、前記第 2 読み出しコマンドを受け付け、

前記第 2 読み出しコマンドでは前記不揮発性記憶部から前記バッファ回路へ、前記第 3 の動作指示コマンドで指定されたアドレスから第 1 データ量のデータの読み出しを行った後、

前記不揮発性記憶部の第 1 記憶領域に含まれかつ前記第 1 アドレスから第 1 データ量の範囲に含まれるアドレスを指定する前記第 3 の動作指示コマンドと前記第 1 の動作指示コマンドとを 1 回以上受け付けることが可能であることを特徴とする請求の範囲第 3 9 項記載の不揮発性記憶装置。

4 7 . 前記不揮発性記憶部の第 1 記憶領域に含まれる第 1 アドレスを指定する前記第 3 の動作指示コマンドの受付後、前記第 2 読み出しコマンドを受け付け、

10 前記第 2 読み出しコマンドでは前記不揮発性記憶部から前記バッファ回路へ、前記第 3 の動作指示コマンドで指定されたアドレスから第 1 データ量のデータの読み出しを行い、

さらに、前記不揮発性記憶部の第 1 記憶領域に含まれかつ前記第 1 アドレスから第 1 データ量の範囲に含まれる第 2 アドレスを指定する前記第 3 の動作指示コマンドの受け付けと前記第 2 の読み出しコマンドを受け付けた場合、

15 前記第 2 の読み出しコマンドの処理では前記不揮発性記憶部から前記バッファ回路への読み出し動作は行わないことを特徴とする請求の範囲第 3 9 項記載の不揮発性記憶装置。

20 4 8 . 前記第 2 の書き込みコマンドの完了では前記バッファ回路に書き込まれているデータの消去は行わず、前記第 1 消去動作コマンドにより前記バッファ回路に書き込まれているデータの消去を行なうことを特徴とする請求の範囲第 3 9 項記載の不揮発性記憶装置。

25 4 9 . 前記複数の記憶領域に対応して、前記バッファ回路は複数の領域に分割され、第 1 の記憶領域に優先的に対応するバッファ回路の第 1 の領域と、第 2 の記憶領域に優先的に対応するバッファ回路の第 2 の領域とを有し、

前記バッファ回路の第 1 の領域は前記第 2 の記憶領域との間でもアクセス動作可能とされ、

前記バッファ回路の第 2 の領域は前記第 1 の記憶領域との間でもアクセス動作可能とされることを特徴とする請求の範囲第 3 5 項記載

の不揮発性記憶装置。

5 50. 前記第 1 の動作指示コマンドは、前記バッファ回路の第 1 の領域と外部との間でアクセス動作させて、前記バッファ回路へのデータの書き込みを指示する第 1 書き込み動作コマンドと、前記バッファ回路からデータの読み出しを指示する第 1 読み出し動作コマンドと、前記
10 バッファ回路に書き込まれているデータの消去を指示する第 1 消去動作コマンドとを含み、

前記第 2 の動作指示コマンドは、前記第 3 の動作指示コマンドで選択されたバッファ回路の領域と前記不揮発性記憶部の記憶領域との間でアクセス動作させて、前記バッファ回路から前記不揮発性記憶部へのデータの書き込みを指示する第 2 書き込み動作コマンドと、前記不
15 揮発性記憶部から前記バッファ回路へのデータの読み出しを指示する第 2 読み出し動作コマンドと、前記不揮発性記憶部に書き込まれているデータの消去を指示する第 2 消去動作コマンドとを含み、

前記第 2 書き込み動作コマンドは、前記選択されたバッファ回路の領域に優先的に対応する記憶領域へのデータの書き込みを指示する主
20 第 2 書き込み動作コマンドと、前記選択されたバッファ回路の領域に優先的に対応する記憶領域でない記憶領域へのデータの書き込みを指示する従第 2 書き込み動作コマンドとを有し、

前記第 2 読み出し動作コマンドは、前記選択されたバッファ回路の領域に優先的に対応する記憶領域からのデータの読み出しを指示する
25 主第 2 読み出し動作コマンドと、前記選択されたバッファ回路の領域

に優先的に対応する記憶領域でない記憶領域からのデータの読み出しを指示する従第 2 読み出し動作コマンドとを有することを特徴とする請求の範囲第 4 9 項記載の不揮発性記憶装置。

5 1 . 前記第 2 読み出しコマンド又は前記第 2 書き込みコマンドでは第

5 1 データ量単位に一度にデータの読み出し又は書き込みが行われ、
前記第 2 消去コマンドでは第 1 データ量よりも多い第 2 データ量単位に一度にデータの消去が行われ、

前記第 3 の動作指示コマンドで第 1 アドレスを指定し、前記第 2 消去
10 コマンドを指示する場合、前記第 1 アドレスから前記第 1 データ量の
アドレス範囲に含まれる第 1 データと、前記第 1 アドレスから前記第
1 データ量のアドレス範囲に含まれない第 2 アドレスからの第 2 デ
ータとのうち、前記第 1 データは前記選択されたバッファ回路の領域
に優先的に対応する記憶領域への書き込みと、前記第 2 データは前記
15 選択されたバッファ回路の領域に優先的に対応する記憶領域でない
記憶領域への書き込みとの少なくとも一方が行われることを特徴と
する請求の範囲第 5 0 項記載の不揮発性半導体装置。

5 2 . 制御部と不揮発性記憶部とを有し、

前記不揮発性記憶部は複数の記憶領域を有し、

前記記憶領域の数と同数のバッファ回路を有し、

20 それぞれの記憶領域は対応するバッファ回路に接続され、

それぞれのバッファ回路は外部に接続され、

前記複数のバッファ回路は前記制御部による制御に基づいてそれぞ
れ独立して外部との間でアクセス可能にされ、

前記複数の記憶領域は前記制御部による制御に基づいてそれぞれ独
25 立してバッファ回路との間でアクセス動作可能にされることを特徴
とする不揮発性記憶装置。

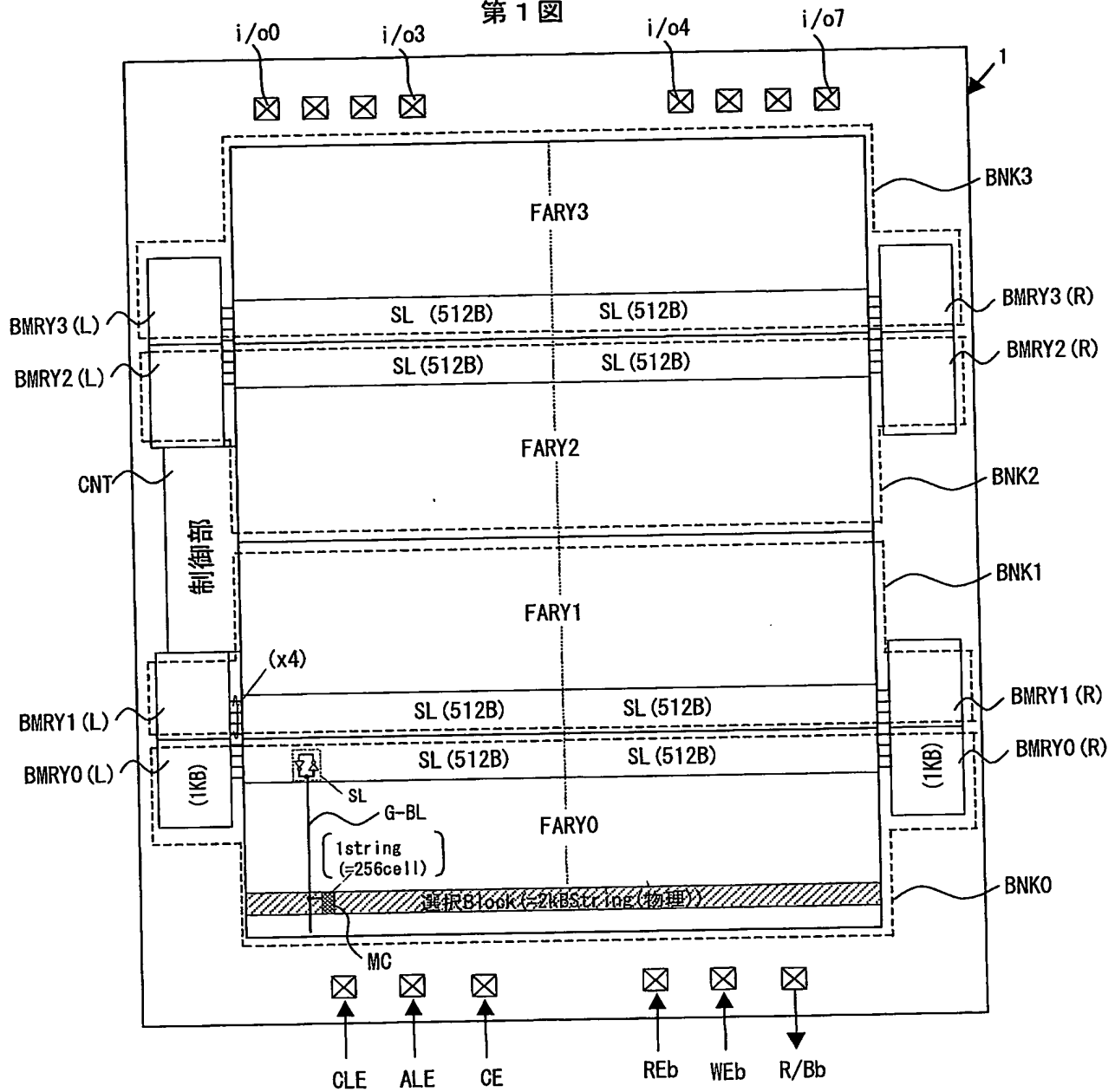
5 3 . 不揮発性メモリ部、この不揮発性メモリ部に接続されたバッファ部、及び制御部を有し、

前記制御部は、前記不揮発性メモリ部及びバッファ部をそれぞれ外部からの指示に従って独立にアクセス制御可能にすることを特徴とする不揮発性記憶装置。

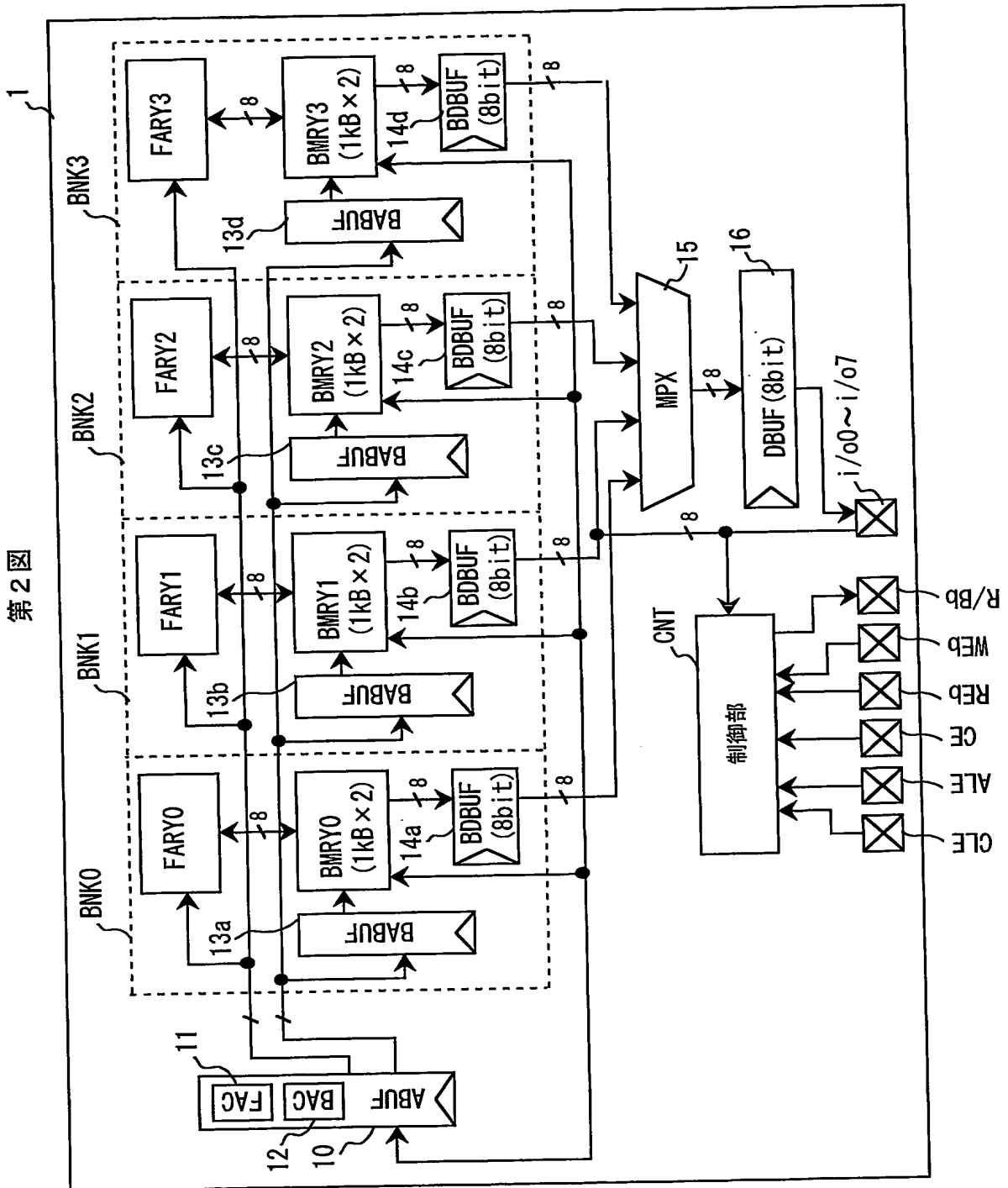
要 約 書

不揮発性記憶装置(1)は、不揮発性メモリ部(MARY0~MARY3)、バッファ部(BMRY0~BMRY3)、及び制御部(CNT)を有し、前記制御部は、外部と前記バッファ部との間の第1アクセス処理と、前記不揮発性メモリ部と前記バッファ部との間の第2アクセス処理とを、それぞれ別々に外部から指示を受けて制御可能である。前記制御部は、前記不揮発性メモリ部及びバッファ部をそれぞれ外部からの指示に従って独立にアクセス制御可能であるから、不揮発性メモリ部の消去動作に並行してバッファ部に次の書き込みデータをセットアップしたり、バッファ部に一旦読み出された記憶情報を外部からの指示に従ってキャッシュメモリ動作の如く高速に出力させたりすることが可能になる。これによって、不揮発性記憶装置に対するデータ読み出しや書き込みのためのデータ転送のオーバーヘッドが低減する。

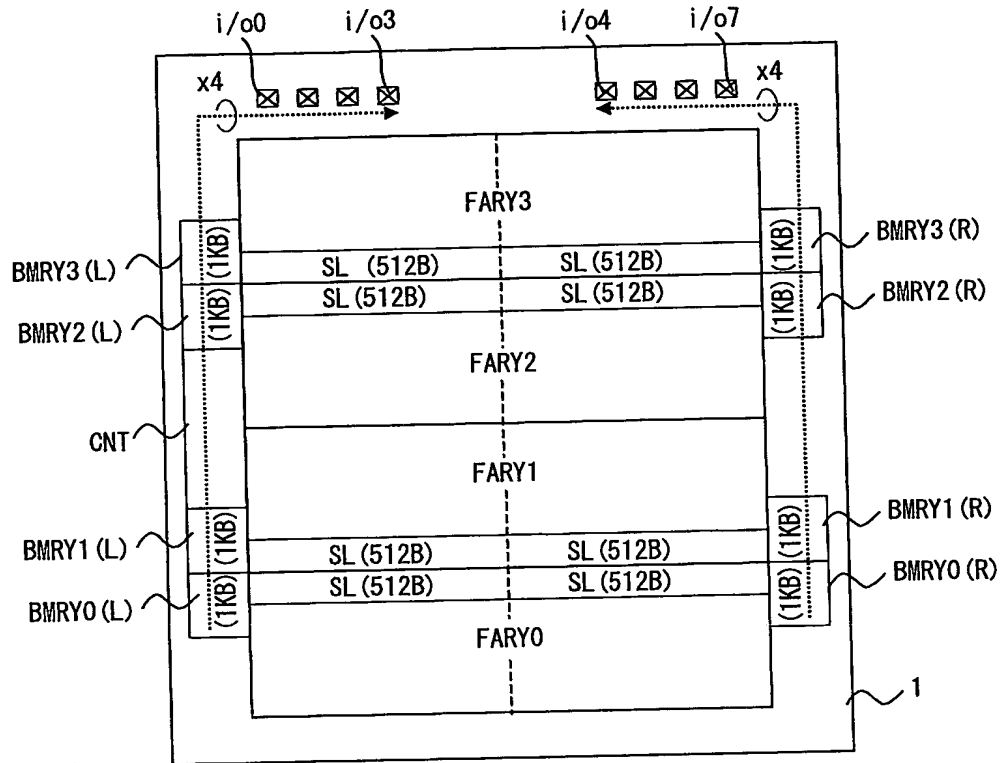
第 1 図



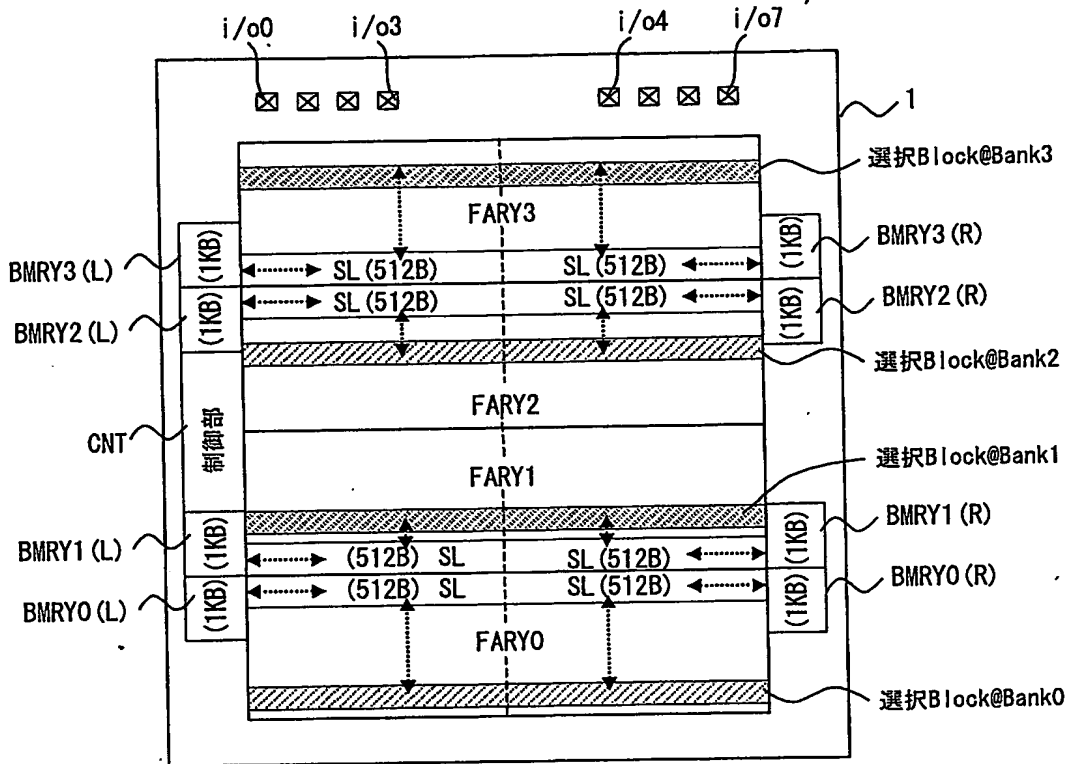
第 2 図



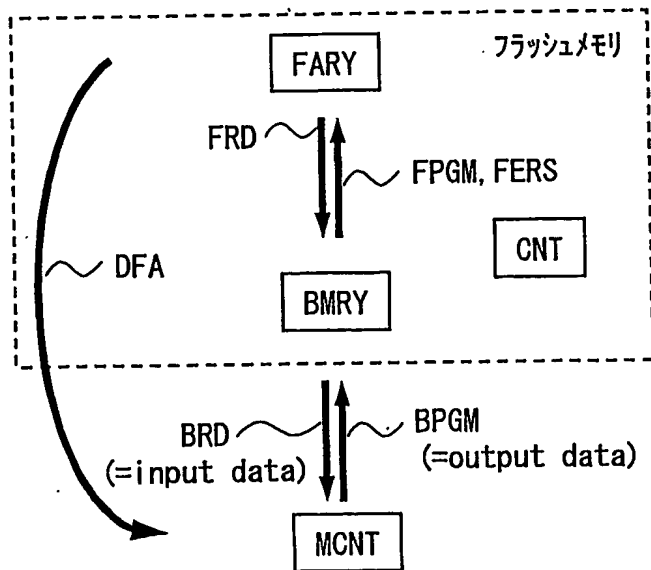
第 3 図

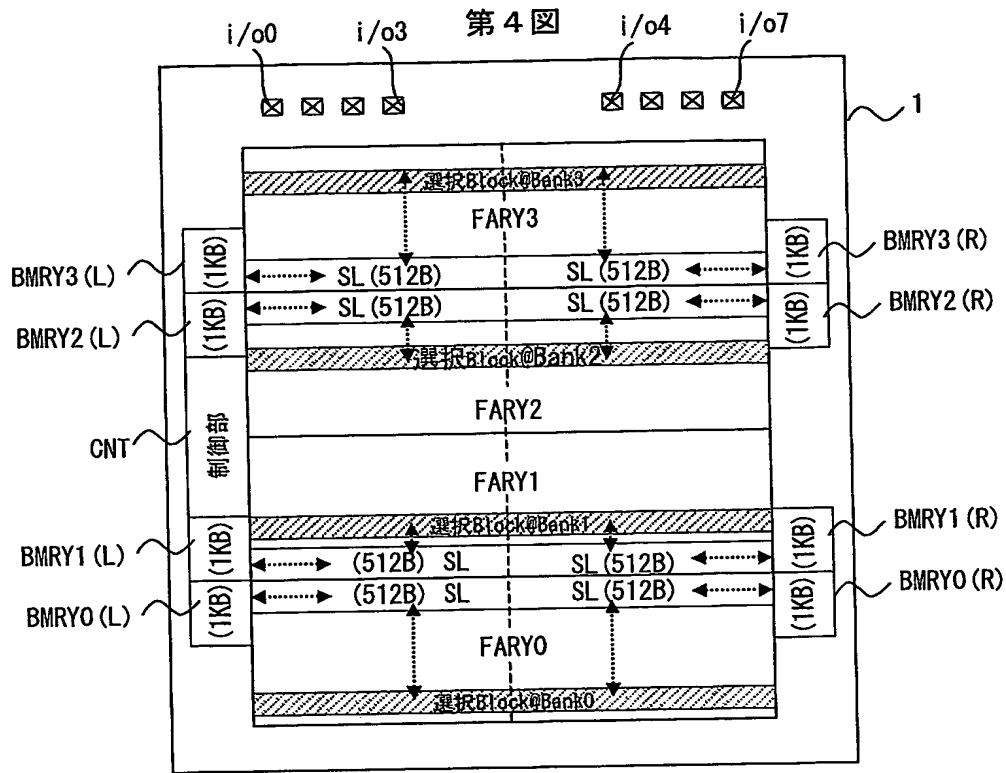


第4圖

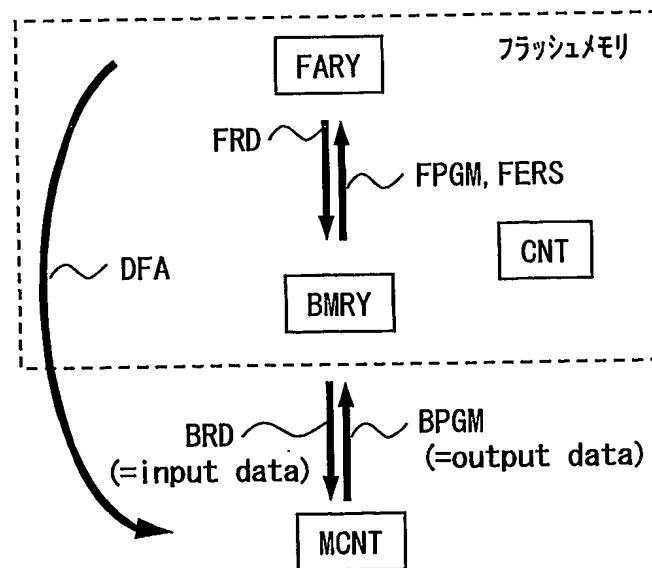


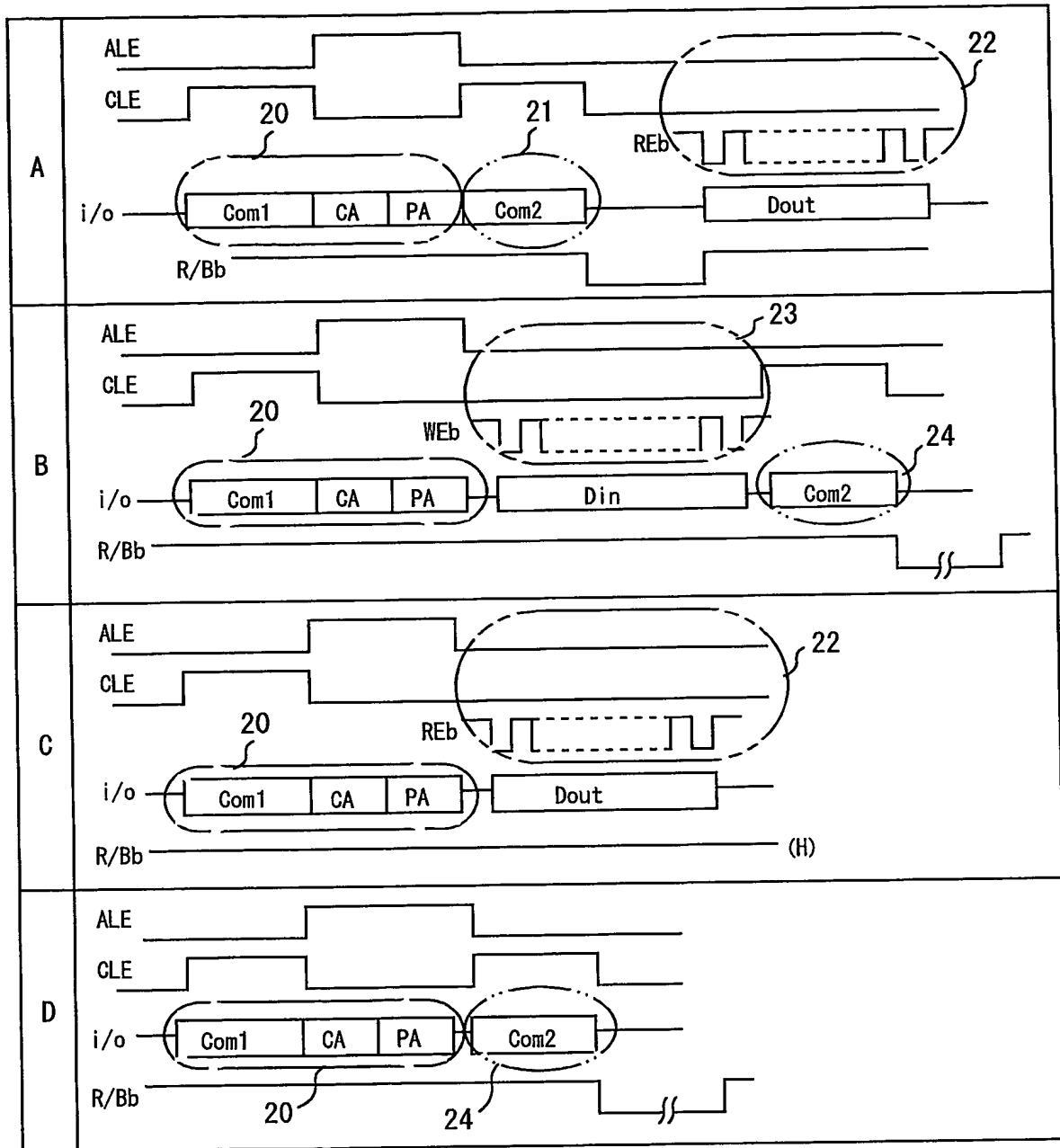
第5圖





第5図



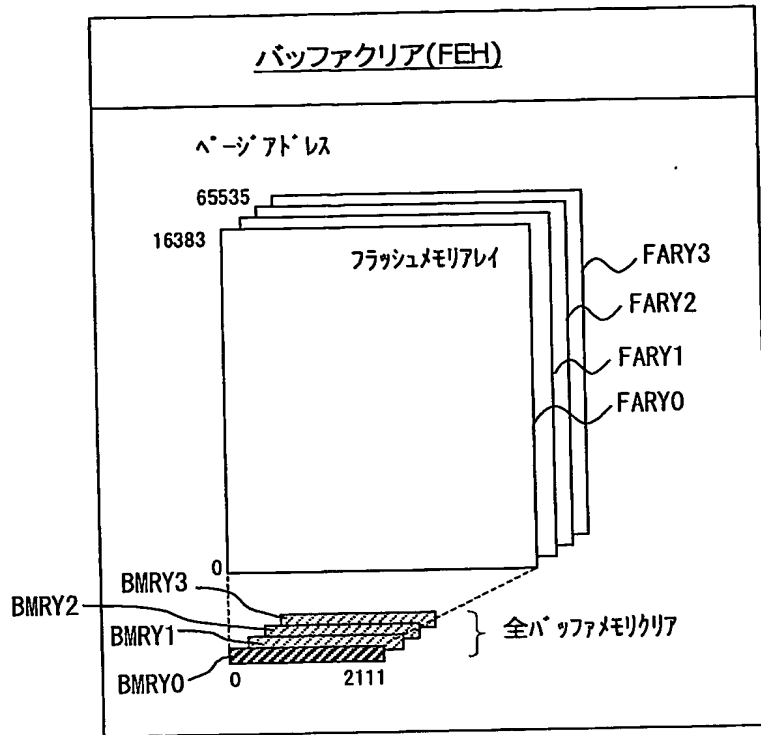


第7図

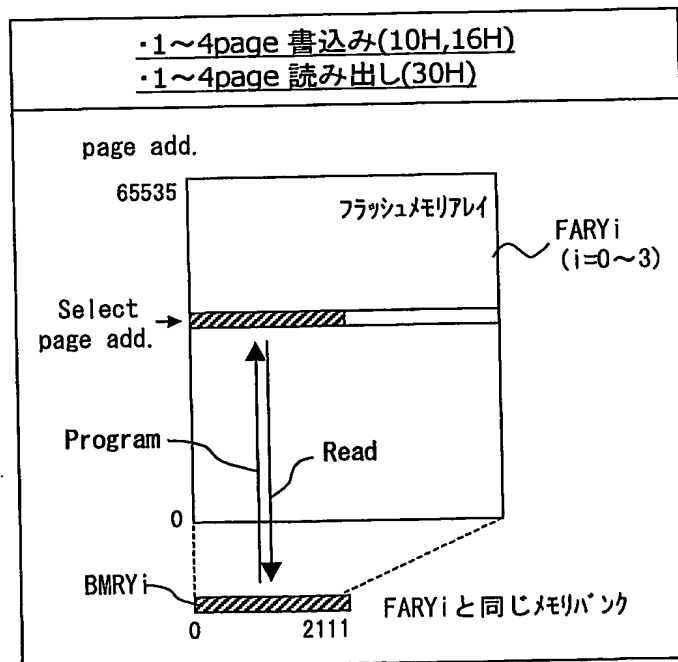
No.	Com1	CA	PA	Com2	BMRV クリア	種類	概要
1	00H	○	○	30H	×	連続 4 ページ (旧セクタ) 読み出し	連続 4 ページの読み出し (最大 4 ページ)
2	05H	○	×	E0H	×	ページ内 Random Output 用 CA 設定	読み出し時に CA を設定する。(任意回数入力可)
3	06H	○	○	E0H	×	Random Output 用 CA, PA 設定	読み出し時に CA, PA を設定する。(任意回数入力可)
4	80H	○	○	11H	○	書き込みセクタアップ	書き込みセクタアップ
5	80H	○	○	10H	○	書き込み	4と5で設定されたバンクに対して書き込み (簡易上掲)
6	85H	○	×	×	×	Random Input 用 CA 設定	連続した 4 ページ書き込み
7	00H	○	○	35H	×	コピーバック用読み出し	1バンクにつき 1 ページの読み出し
8	85H	○	○	10H	×	コピーバック書き込み	BMRVに読み出されたデータを書き込む
9	80H	○	○	15H	○	キャッシュプログラム	No.5と同じだが書き込みで使っていないBMRVを開放する。
10	60H	×	○	D0H	×	ブロック消去	1バンクにつき1ブロック消去
11	7*H	×	×	×	×	ステータス読み出し	ステータスコードの読み出し (70H ~ 76H)
12	90H	×	×	×	×	ID読み出し	IDコードの読み出し。
13	FFH	×	×	×	×	強制リセット	内部状態のリセット, ステータスレジスタのクリア
14	00H	○	○	31H	×	異バンク読み出し	FARY{0, 1, 2, 3} → BMRV{2, 3, 0, 1} へ読み出し
15	80H	○	○	12H	○	異バンク書き込み	BMRV{0, 1, 2, 3} → FARY{2, 3, 0, 1} へ書き込み (簡易上掲)
16	80H	○	○	13H	○	連続 4 ページ書き込み	連続した 4 ページのデータを書き込む。
17	80H	○	○	16H	○	書き込み 2	No.5 のプレベリファイ付き書き込み
18	80H	○	○	17H	○	異バンク書き込み 2	No.15 のプレベリファイ付き書き込み
19	80H	○	○	18H	○	連続 4 ページ書き込み 2	No.16 のプレベリファイ付き書き込み
20	00H	○	○	3AH	×	2値読み出し	2値モードで読み出す
21	60H	○	×	D1H	×	連続 4 ブロック消去	連続した 4 ブロックを消去する。
22	FEH	×	×	×	○	バッファクリア	全てのBMRVバッファをクリアする。

7 / 2 1

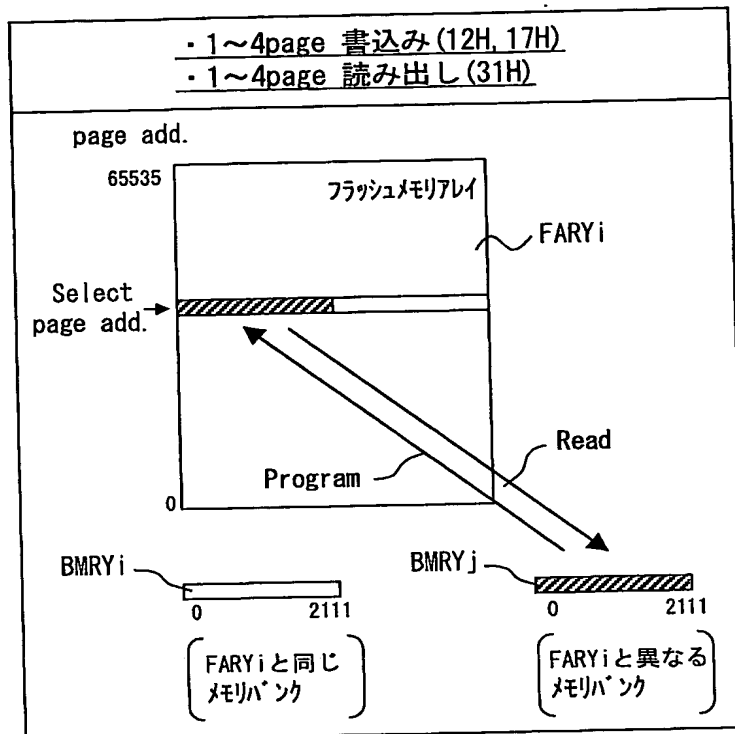
第 8 図



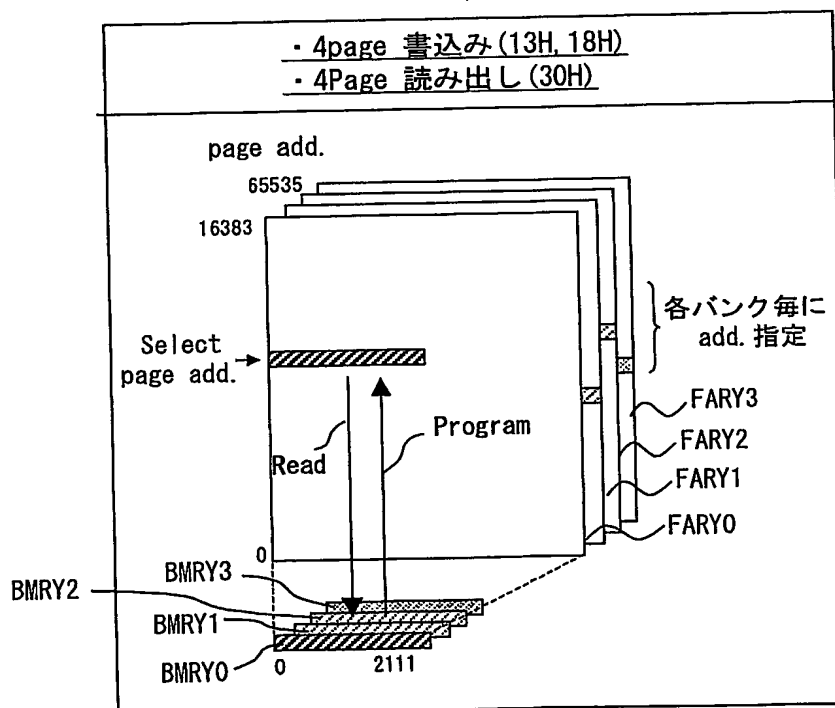
第 9 図



第10図

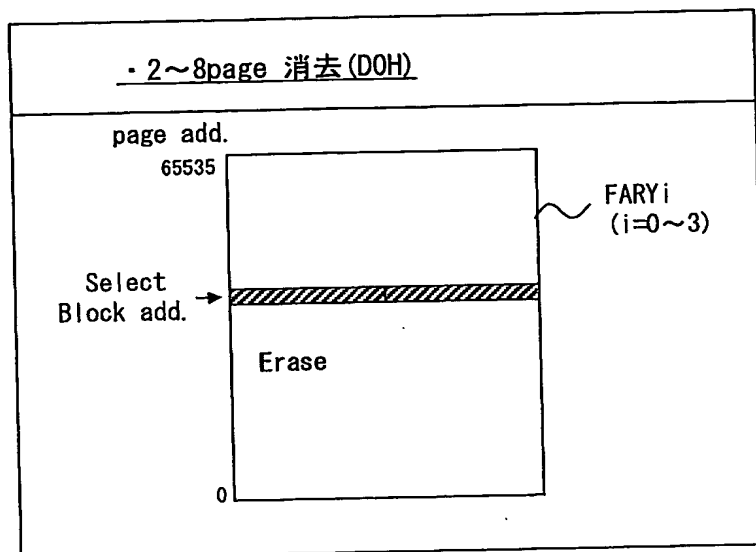


第11図

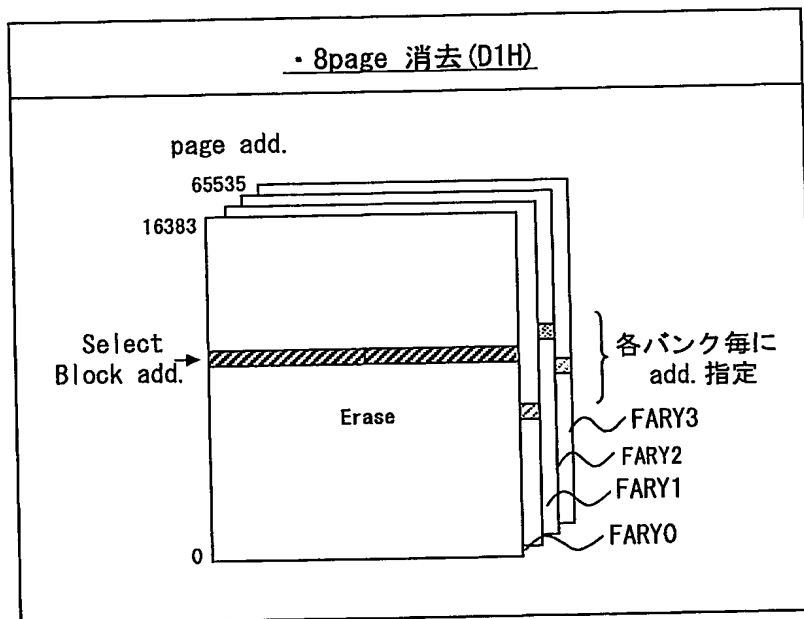


9 / 2 1

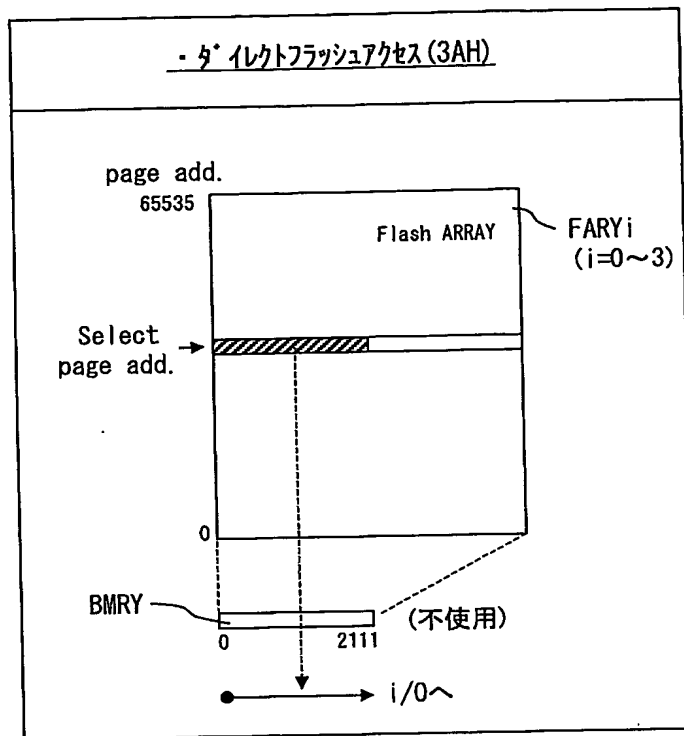
第 1 2 図



第 1 3 図

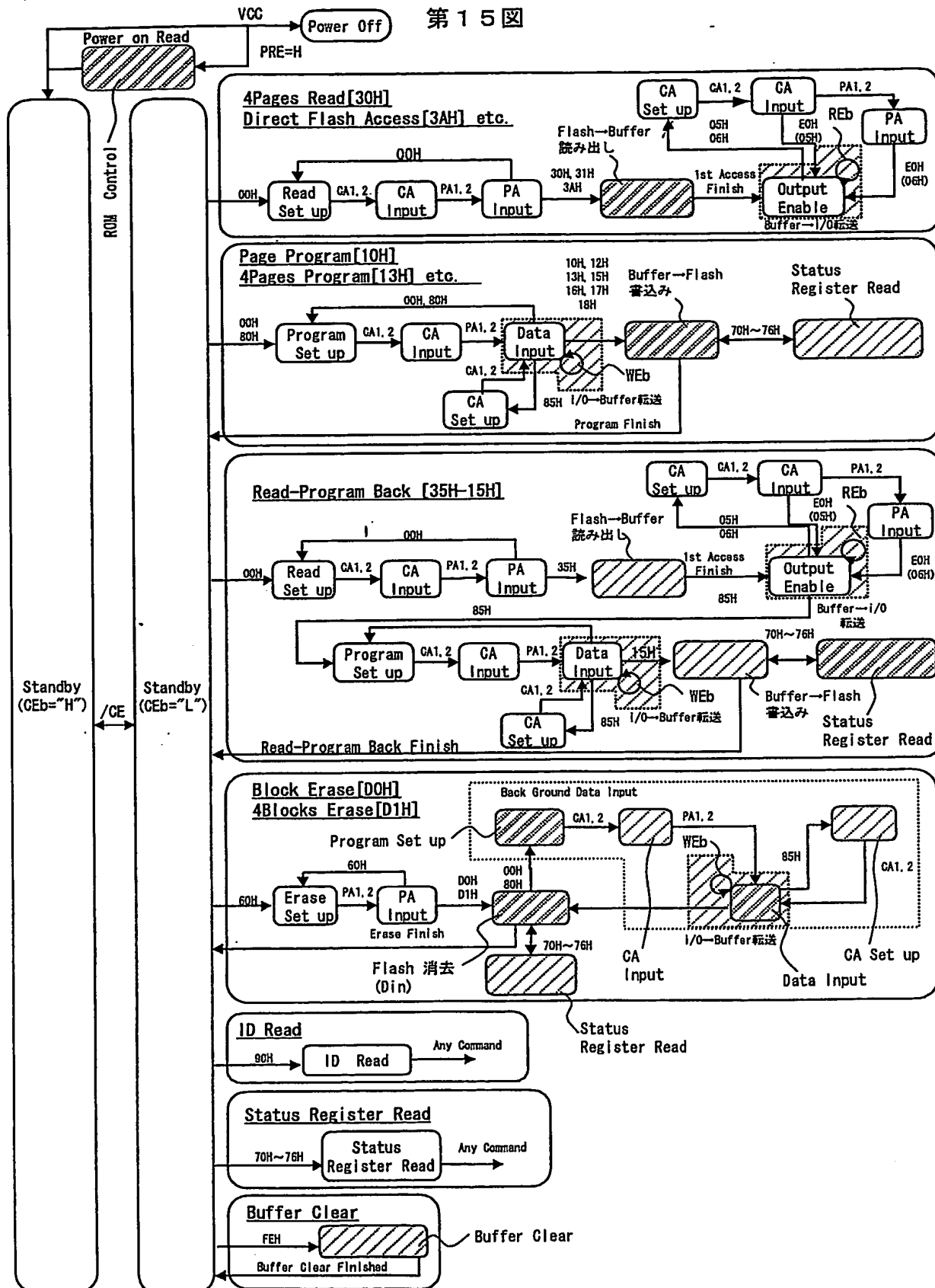


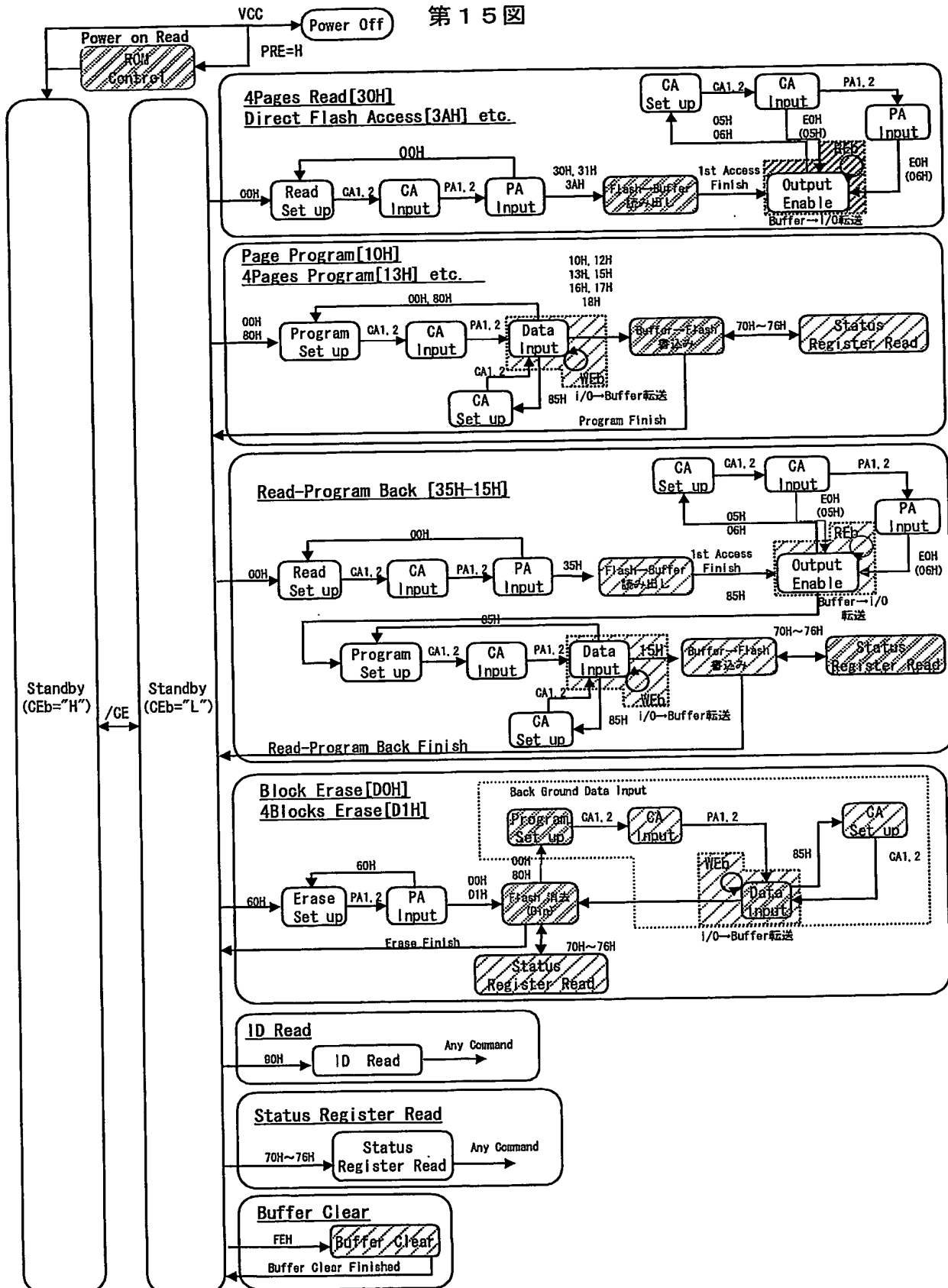
第14図



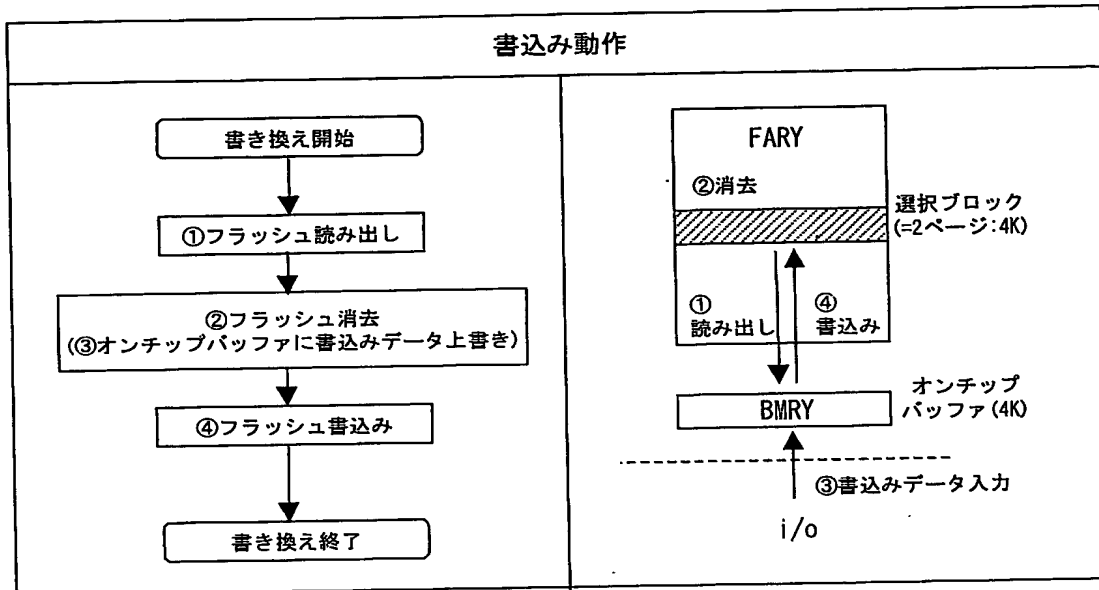
11 / 21

第 15 図

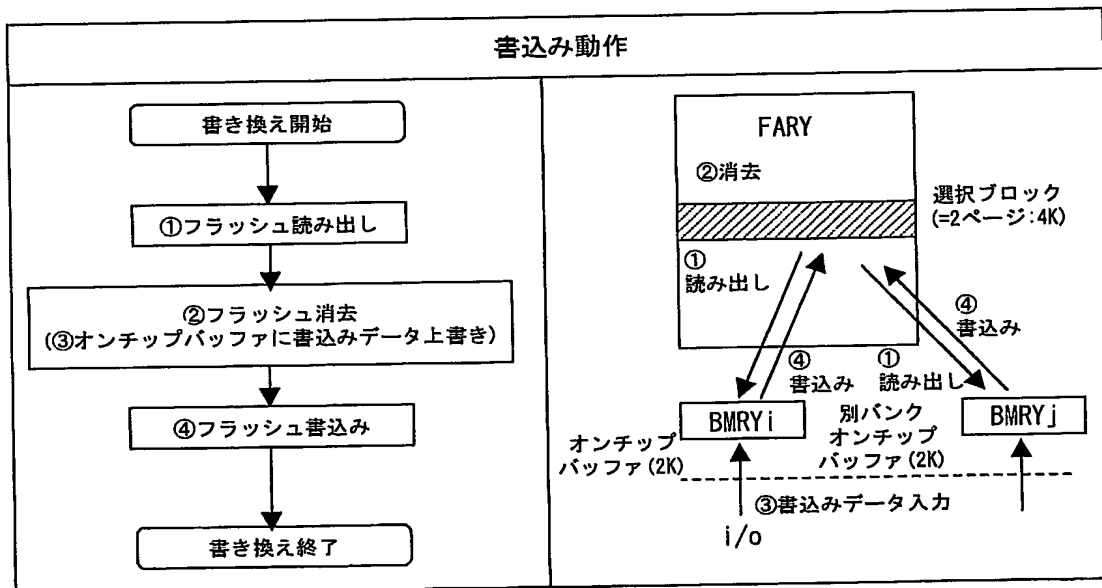




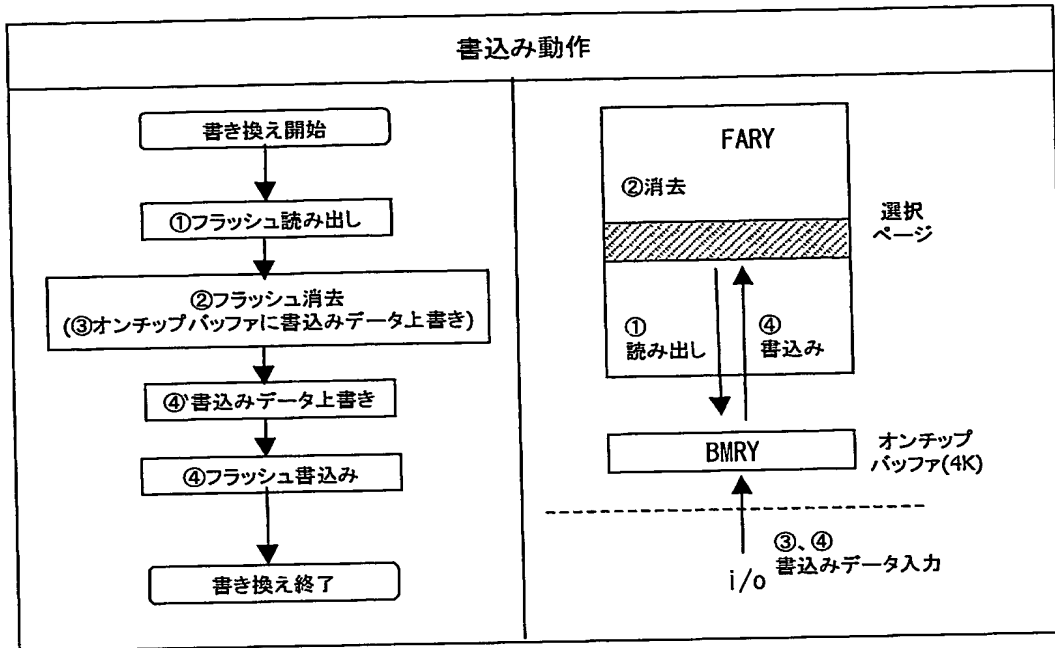
第16図



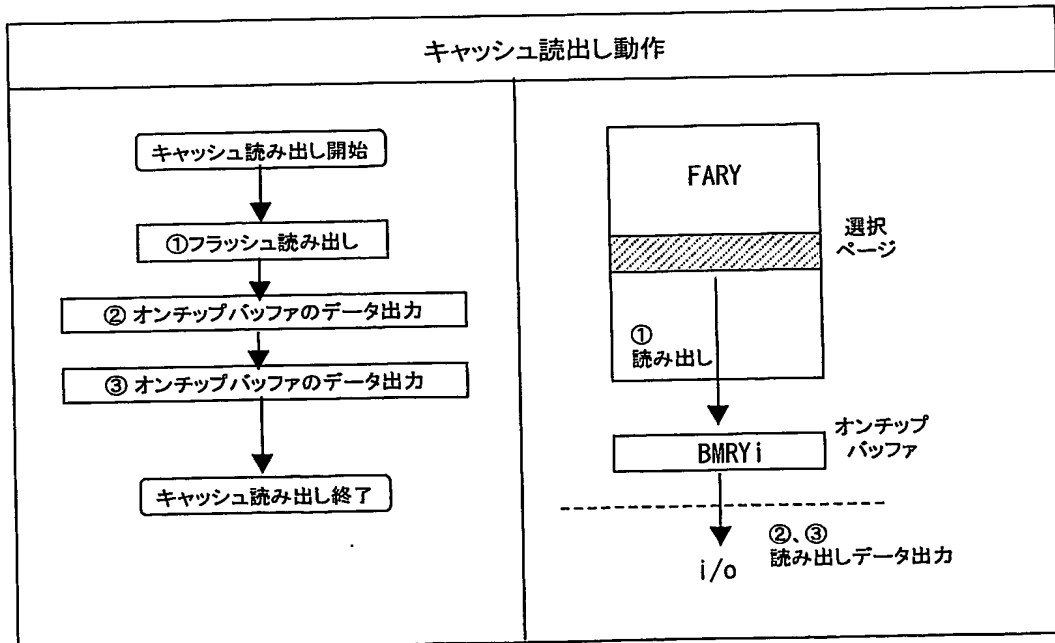
第17図



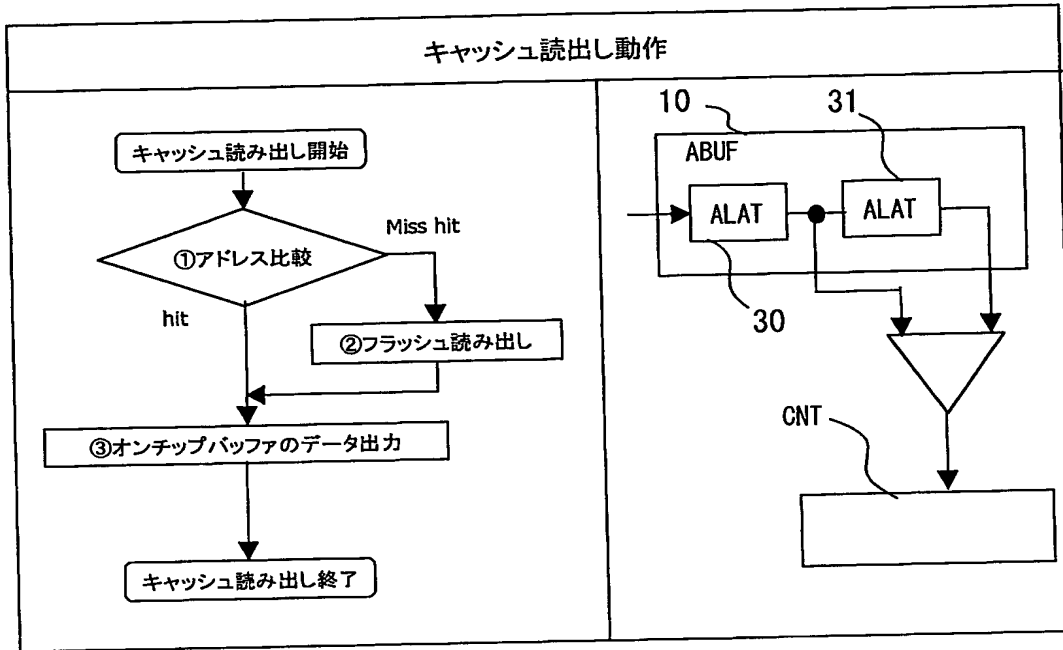
第18図



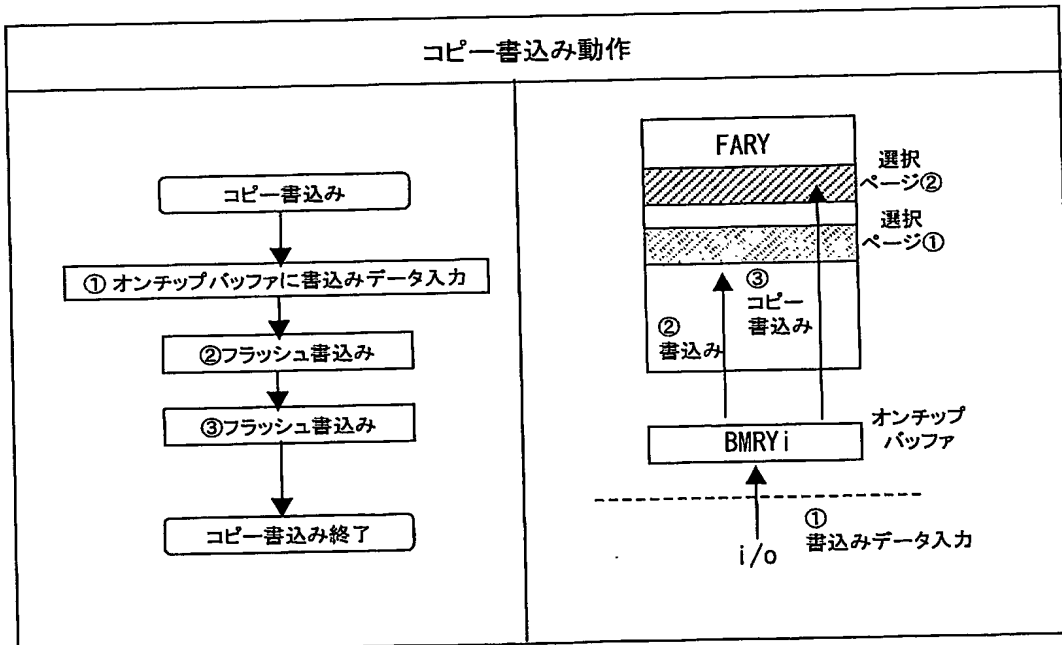
第19図



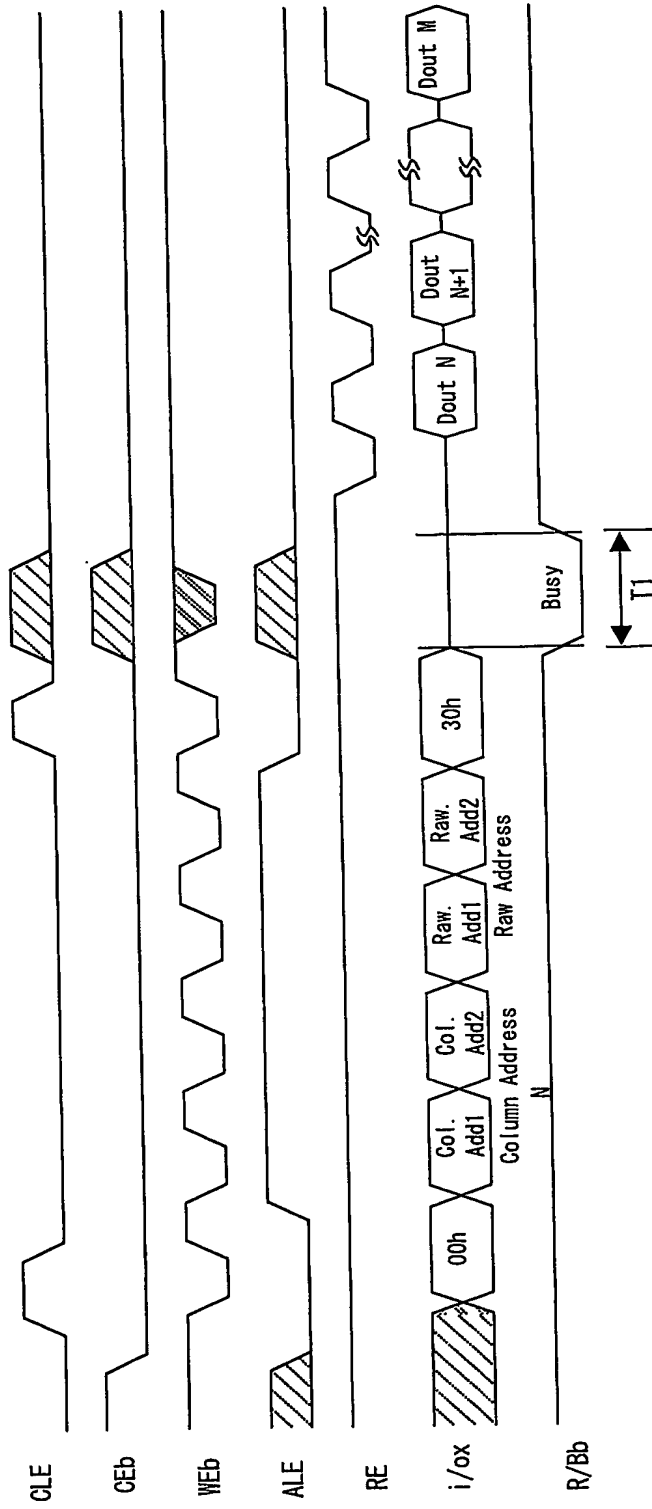
第20図



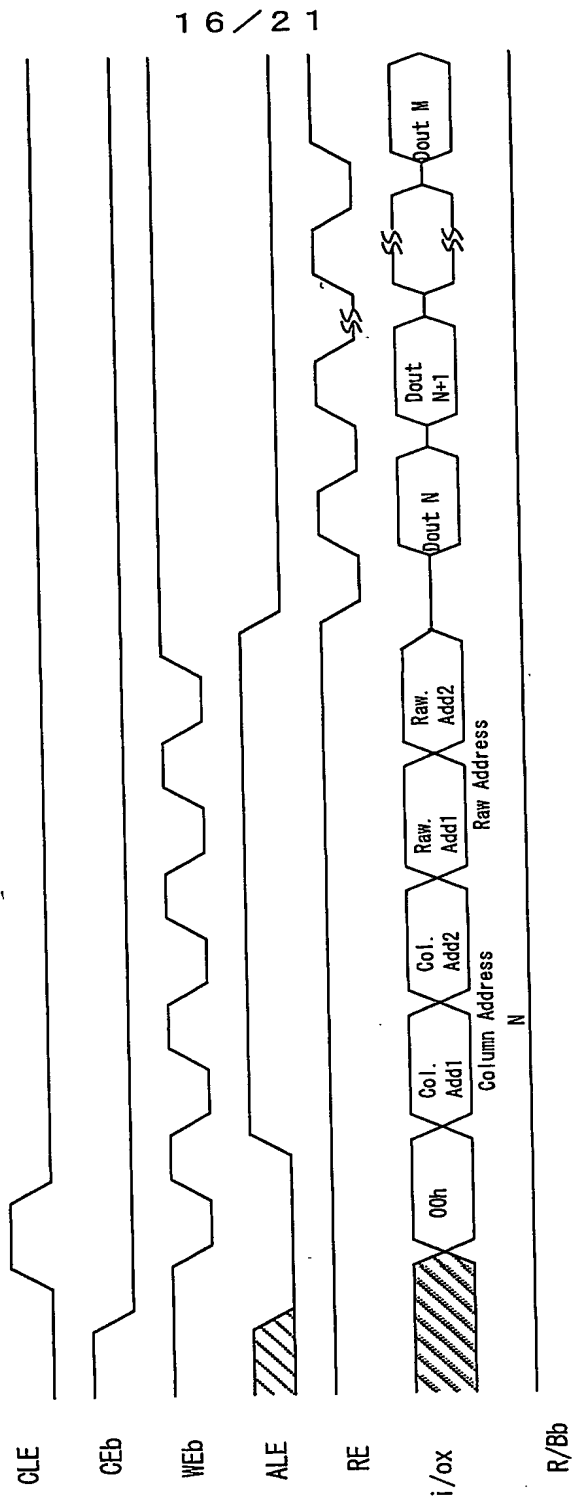
第21図



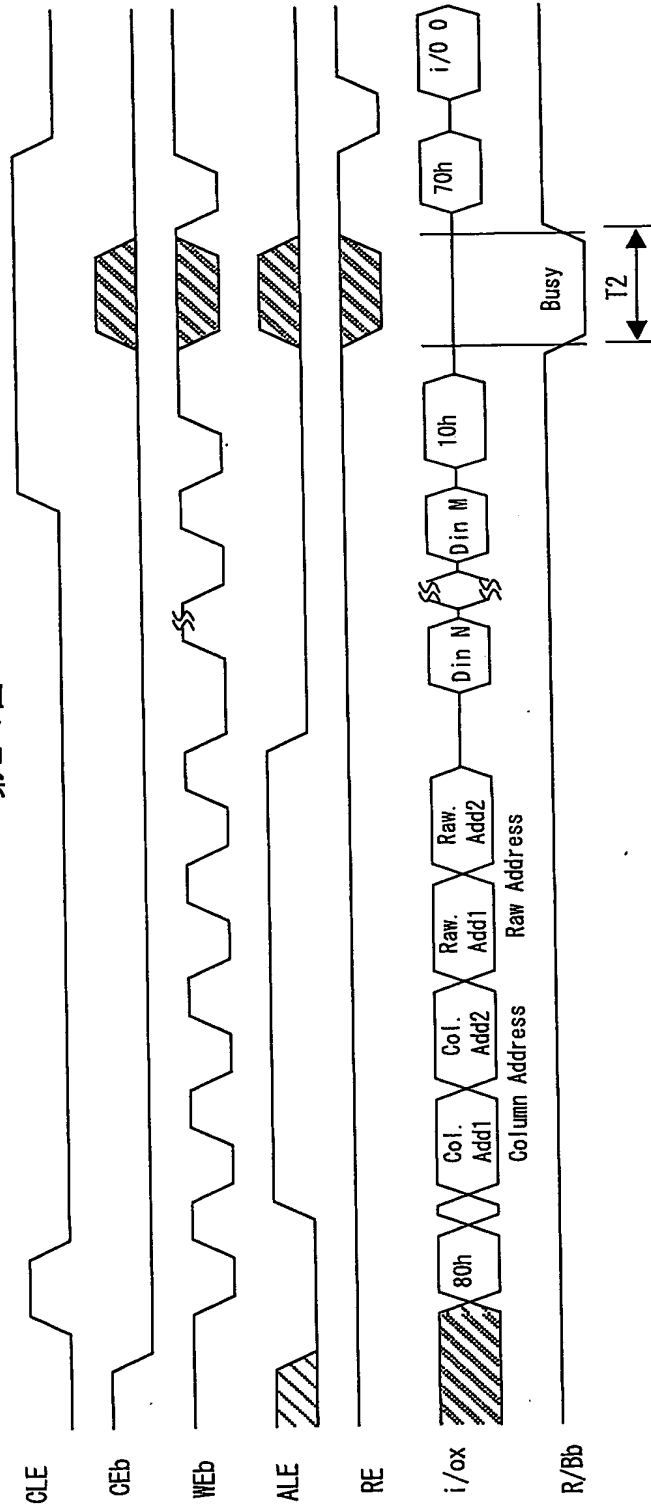
第 2 2 图



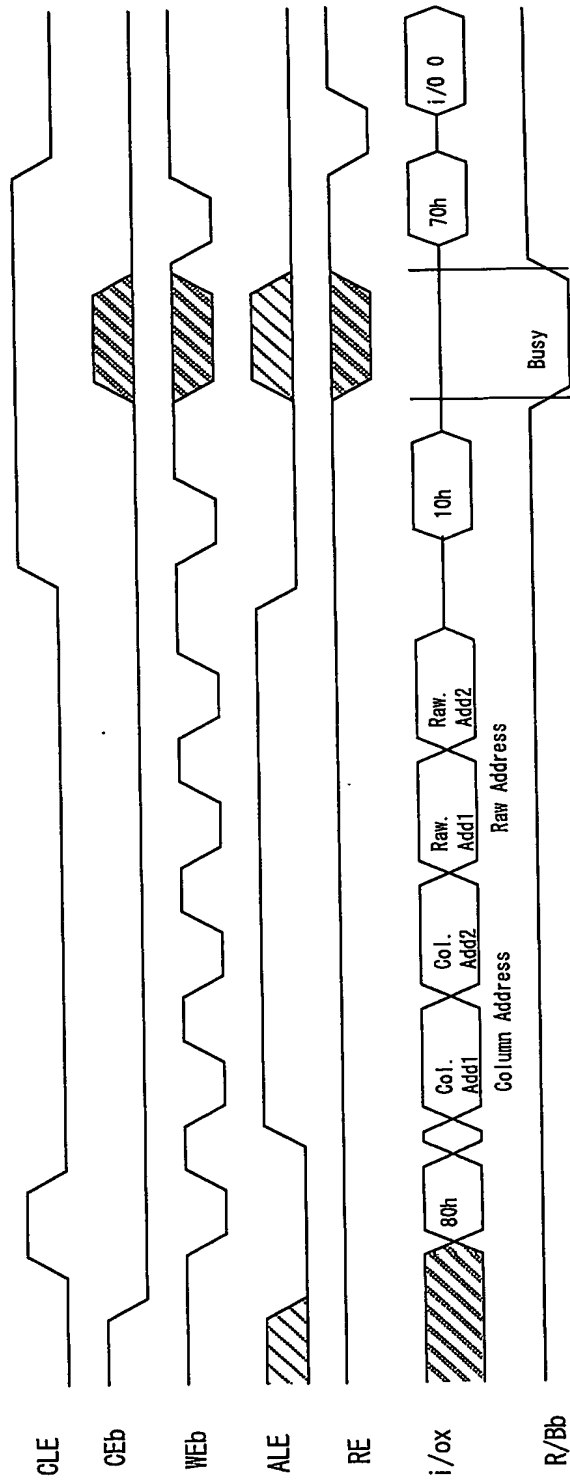
第 2 3 图



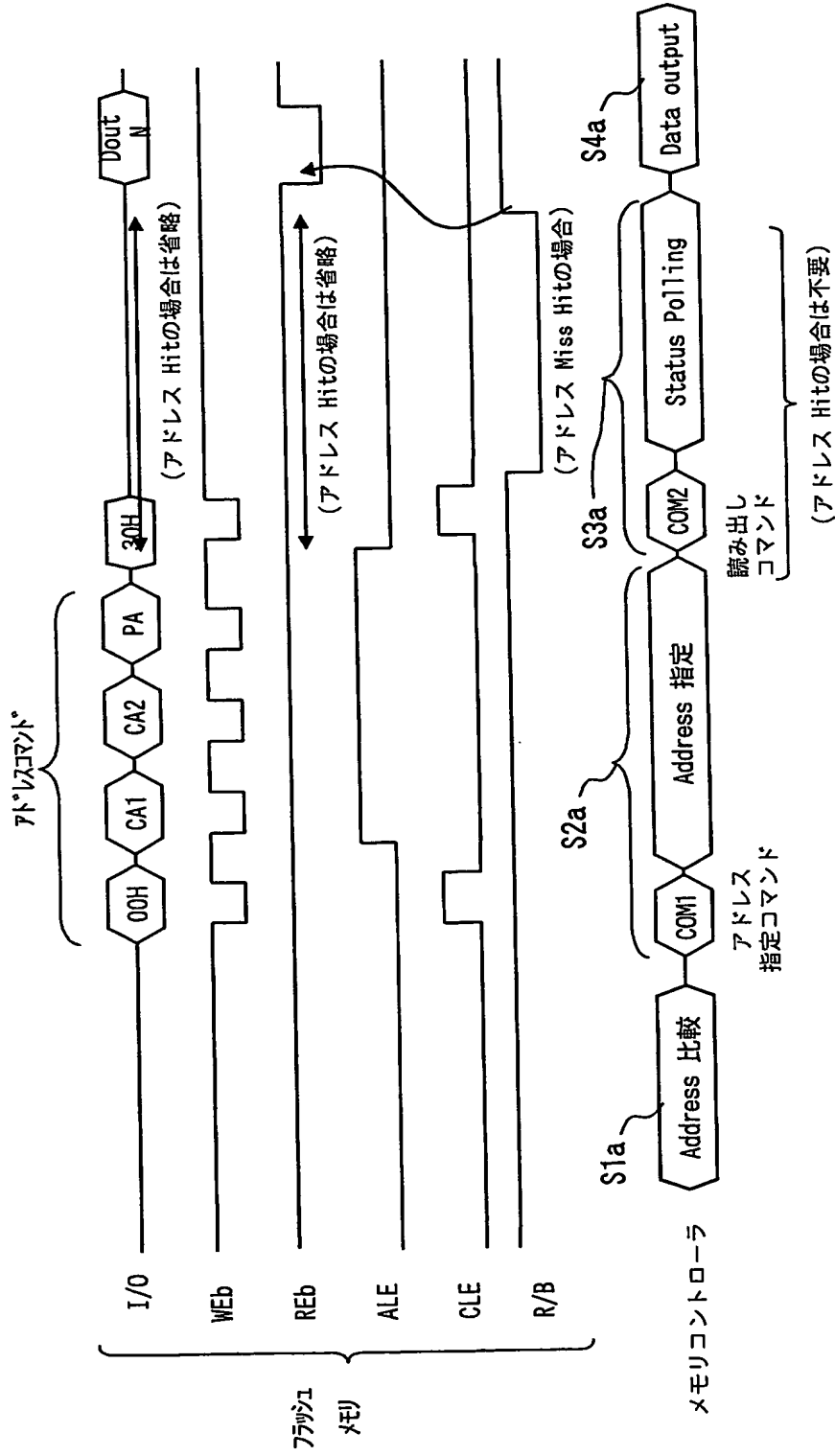
第24図



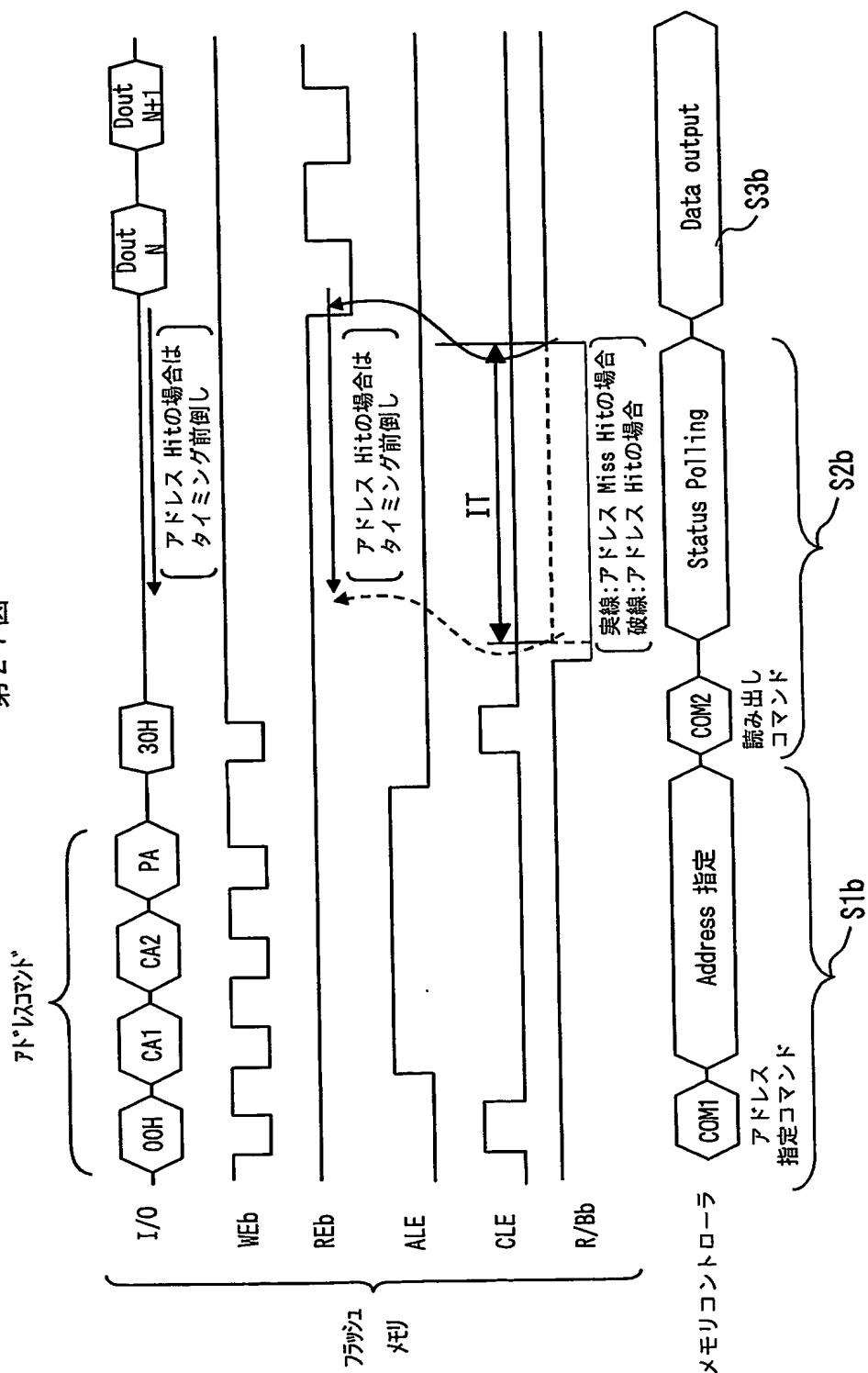
第 25 图



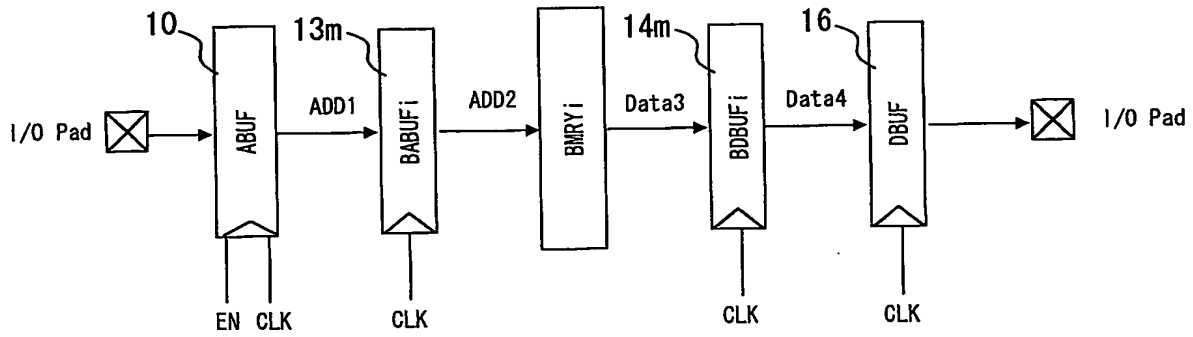
第26図



第27図



第 28 図



第 29 図

